

How to Introduce & Sell Lattice CPLD/FPGA



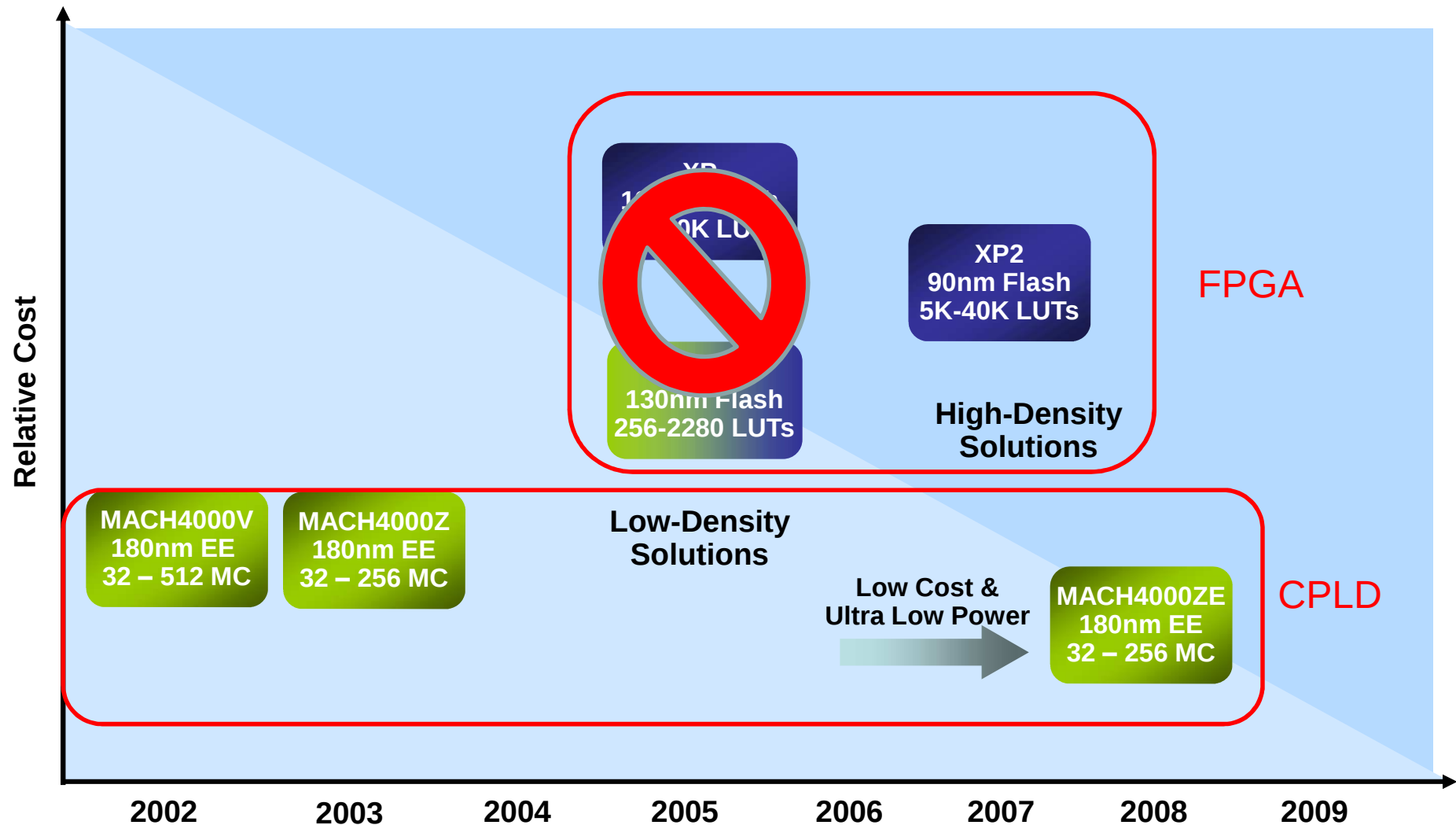
- Xilinx/Alteraプロダクトとの違い
- Latticeデバイスの特長
- How to Sell Lattice FPGA/CPLD

Xilinx/Alteraプロダクトとの違い

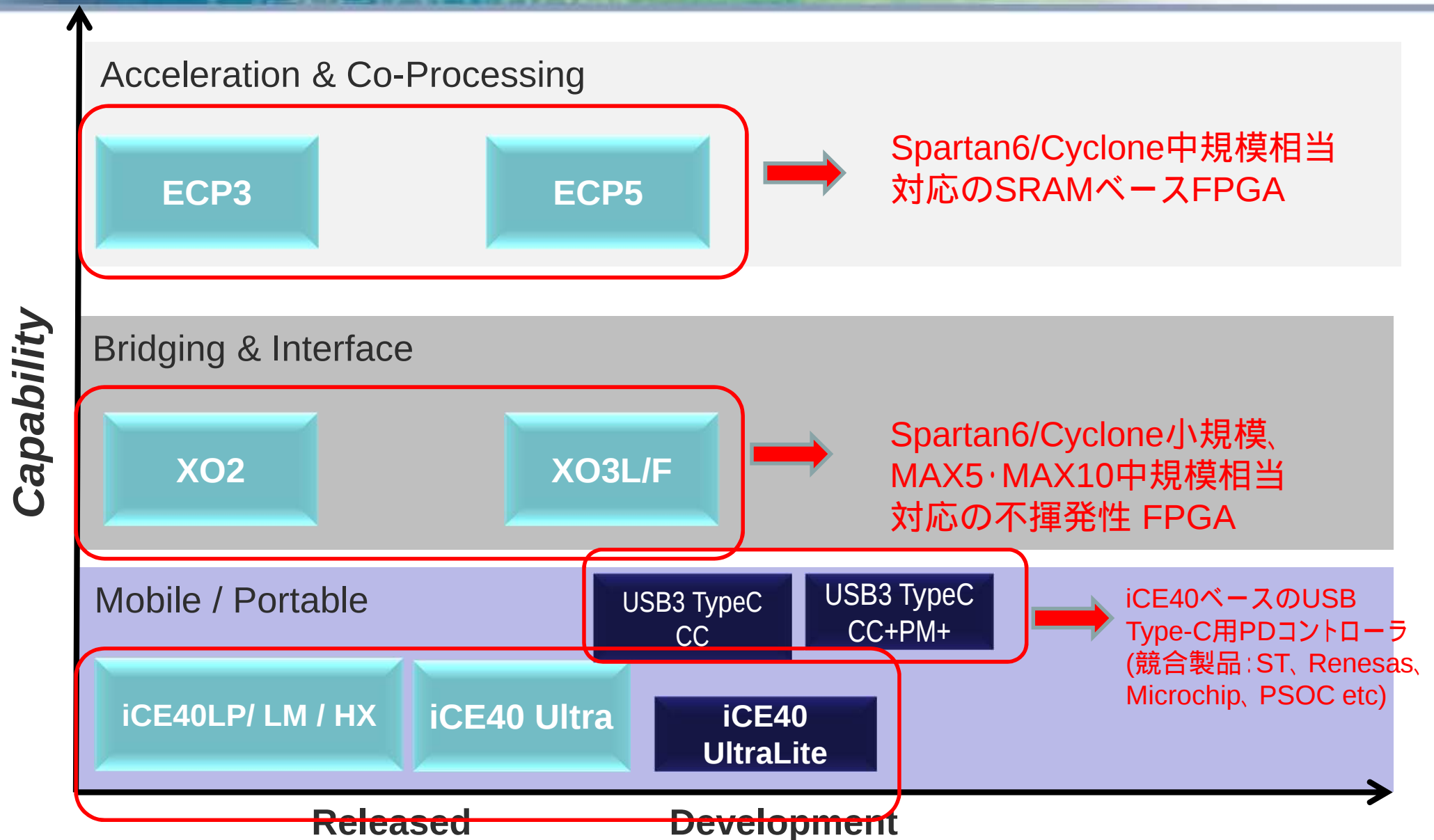
■ 最新のXilinx/Altera製品群との相違点

- 最新のプロセスでも40nm品
 - ・ XILINX/Alteraは20nm品がリリースされ、今年度中に16nm品、14nm品がリリース予定
- デバイス規模の点ではSpartan6(中規模程度まで)、MAX10、Cyclone(3/4/5: 中規模程度まで)の集積度
- 高速化に関しては、トランシーバーのレートは3.2Gbps、PCI-EX Gen1まで)
- CPUコア(ARM)内蔵のFPGA品は無 (NIOS・Microblaze相当のソフトCPUコアは有)
- 開発ソフトウェアは無償版と有償版があり、無償版では、CPLD、小規模FPGA (XP2・XO2・XO3L(LF)・パワーマネージメントIC)がサポート可能
- IPコアに関しては、無償版での対応種類がXilinx/Alteraと比較し、少ない (DDRコントローラ、PCI-Exのエンドポイントも有償です)

Lattice 不揮発プロダクトロードマップ



Lattice メインプロダクト



CPLD/Low-End FPGA ラインアップ

CPLD

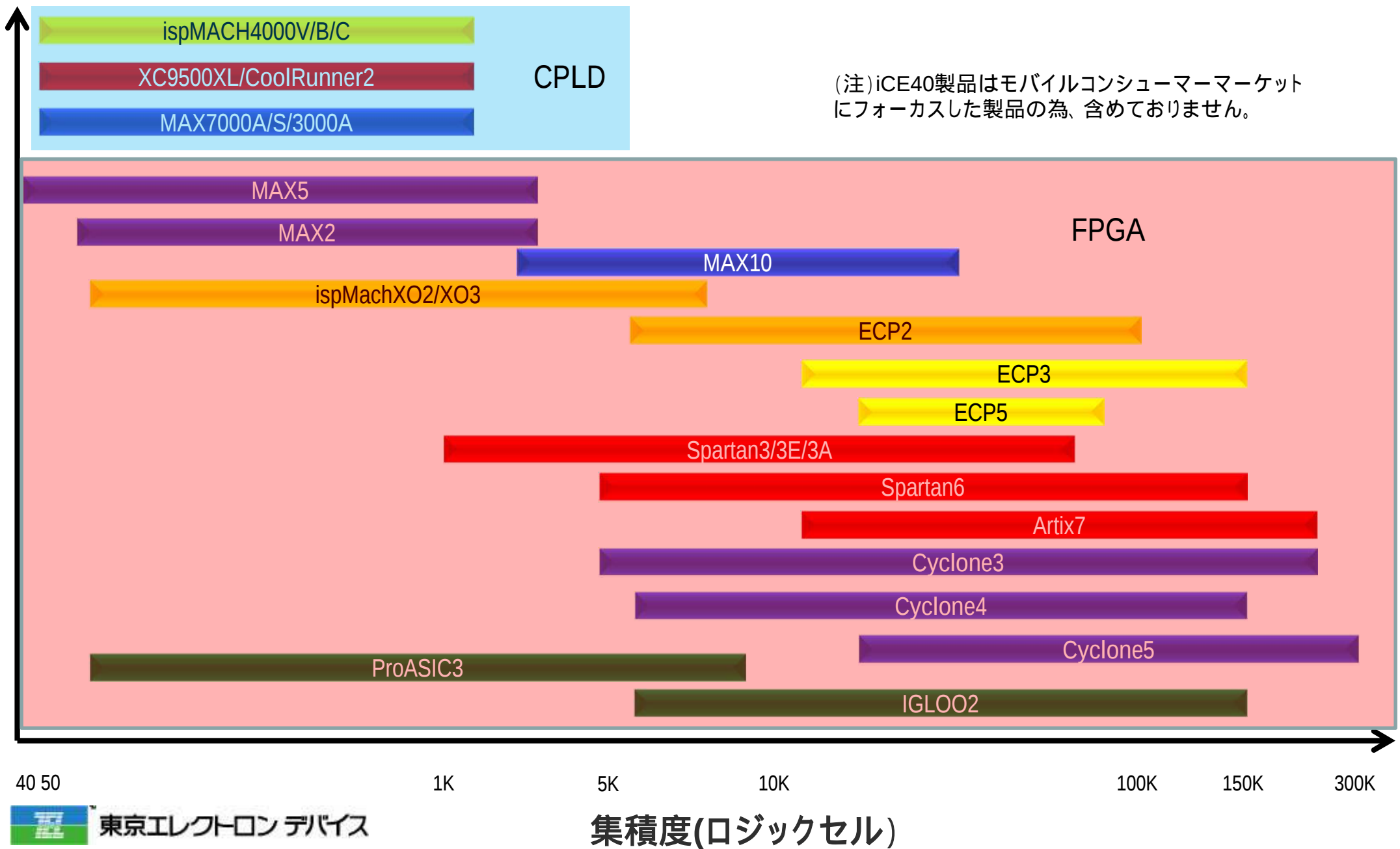
ispMach4000V/B/C (Lattice)
MAX7000A/MAX3000A (Altera)
XC9500XL/Coolrunner2 (Xilinx)

FPGA

ispMachXO2/XO3 (Lattice)
MAX2/MAX5/MAX10 (Altera)

ECP2(M)/ECP3/ECP5/iCE40 (Lattice)
Cyclone3/Cyclone4/Cyclone5 (Altera)
Spartan3/Spartan3E/Spartan3A/Spartan6/Artix-7 (Xilinx)
ProASIC3/IGLOO2 (Microsemi)

CPLD/Low-End FPGA ラインアップ



Lattice FPGA ポートフォリオ

iCE40ファミリー



World's Smallest
FPGAs

Mobile Consumer

1.40mm X 1.48mm
BGA package



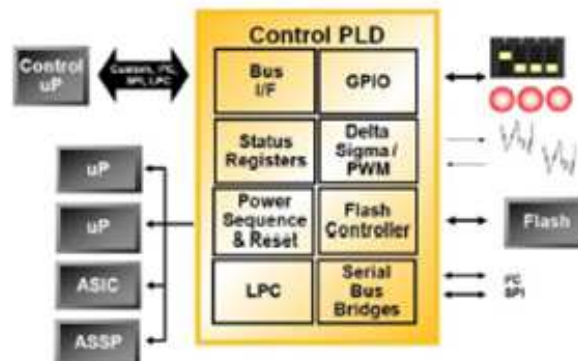
MachXO3ファミリー



Lowest-cost per I/O
FPGAs

Bridging & I/O Expansion

2.5mm x 2.5mm to
3.8mm x 3.8mm
WLCS packages



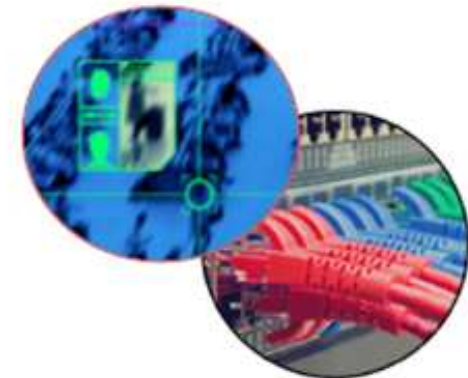
ECP5ファミリー



High-Performance
Small Footprint FPGAs

Connectivity, Video & Imaging

85K LUTs and SERDES in 10 x
10 packages



iCE40 プロダクト ストラテジー

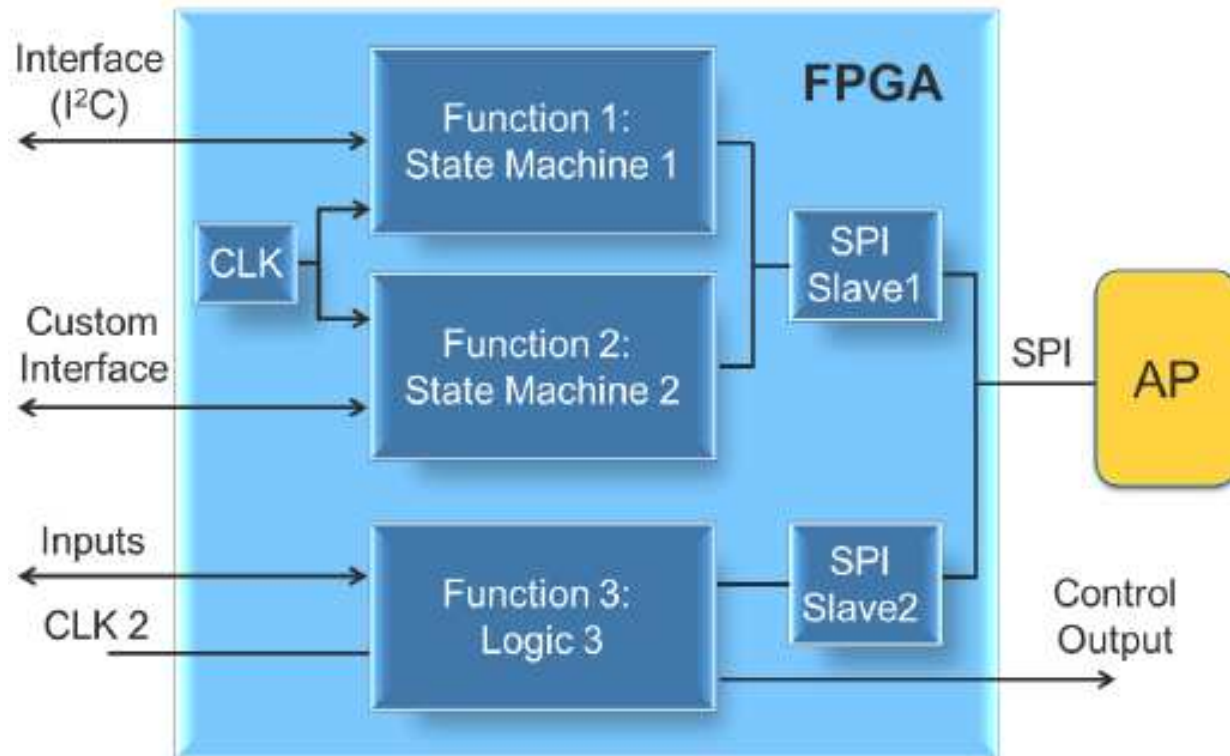


Differentiated by power, size and functionality

Targeting at power and size sensitive portable devices



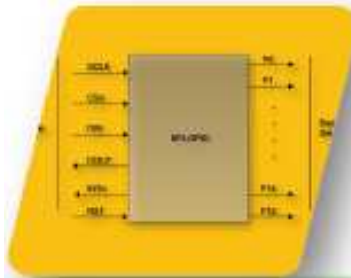
FPGA アドバンテージ vs. ASIC and MCU



- Implement multiple concurrent functions
- Near zero latency for timing critical functions
- Supports multiple clock domains
- Efficient interface to AP across multiple functions

Optimize cost by integrating multiple concurrent functions in a single FPGA

iCE40 リファレンスデザイン



I/O Expansion

- GPIO Expander
- I2C/SPI expansion
- Sensor interface expansion
- Signal Aggregation



Bridge / Interface

- USB3.1 Type C PD
- SDIO
- Camera sensor / display Panel Interface
- RGB to SPI
- Parallel to color sequential R,G,B
- RFFE Bridge
- SLIMBus
- SPI Bridge
- I2C Bridge
- Soundwire



Always-on Functions

- Pedometer
- Human Voice Detect
- Voice command recognition
- Shake to Wake
- Touch based home button
- Gesture Signature
- Double Tap
- Distance measurement
- Rotate Wrist to Wake
- Health monitoring



Glue

- IR LED Driver
- IR Rx
- Barcode emulation
- LED Control
- PWM

iCE40 競合デバイス

- ロジック集積度的には0.5K～8K ロジックセル程度なので、MAX5および小規模Cyclone/Spartan程度に相当しますが、超低消費電力、Ultra小型パッケージ、パフォーマンス(数十MHz程度の動作周波数)からこれらXilinx/Alteraデバイスが競合になることは少ないと思われます。(Ultra小型パッケージなので、モバイル・コンシューマー製品以外では実装が好まれないかもしれません)
- 競合FPGAデバイスとして、類似の機能、性能を持つデバイスにQuickLogic社のArcticLink3 S1/S2デバイスがあります。ターゲットアプリケーションとしては**モバイル・コンシューマー製品**が一番のターゲットになります。
- iCE40製品はもちろん顧客先でプログラム可能なFPGAデバイスですが、ターゲットアプリケーション・ソリューションがある程度、限定される特徴があるので、関心を持たれるお客様の仕様・ニーズに合わせたサポートが必要になるとが考えられます。

1. Bridging Solutions

✓ Mobile & Mobile-Induced Applications



2. Interface & Logic Solutions: Optimized Logic and IO Count:

✓ Consumer, Compute, Industrial and Other Applications



3. I/O Expansion Solutions: High IO Count, High IO per LUT

✓ Communication, Compute and Other Applications



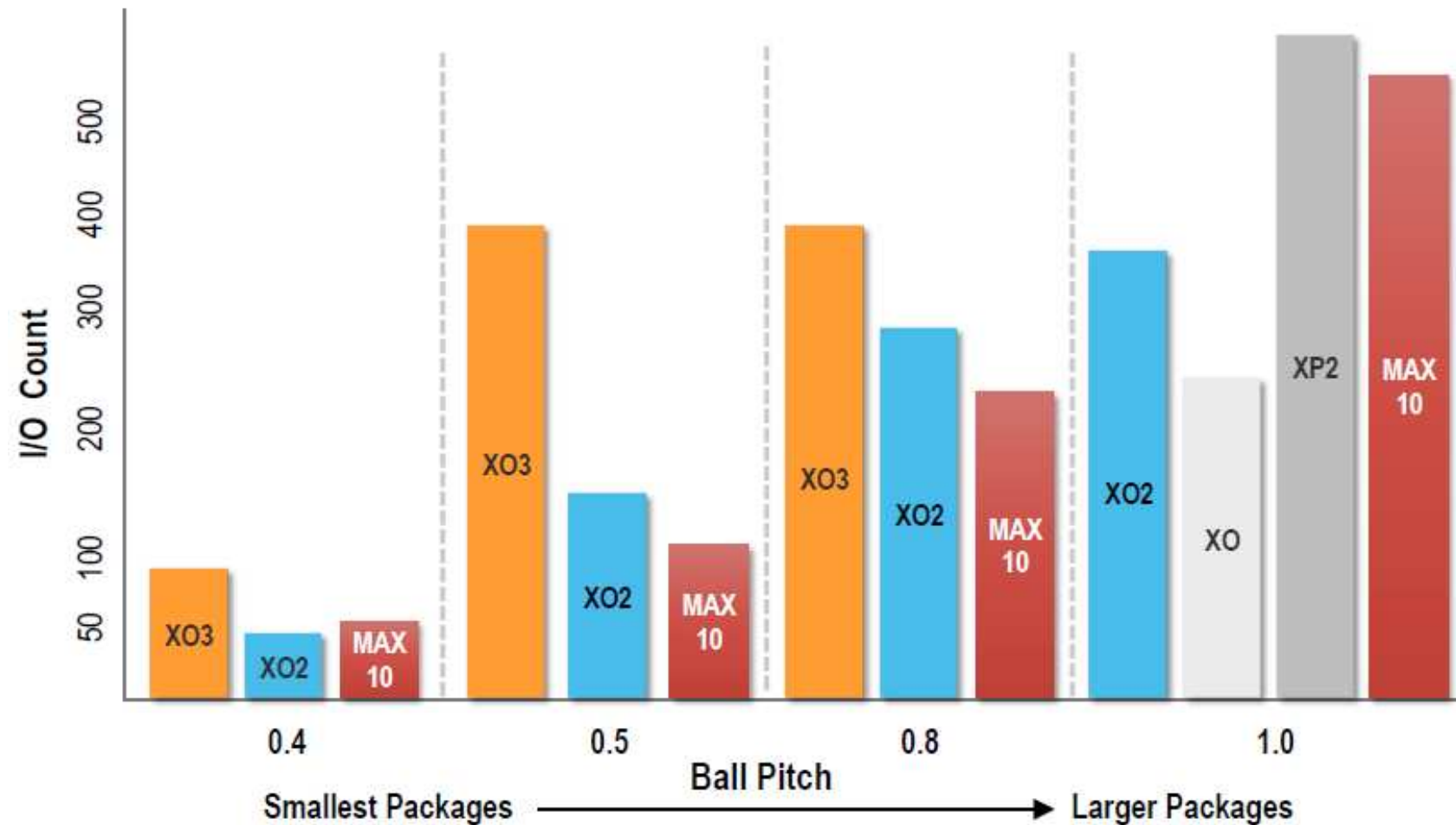
MachXO3 バリューポジション

Non-volatile I/O Expansion and Bridging FPGA

- Lowest cost per I/O
- Small Footprint
- Low Power



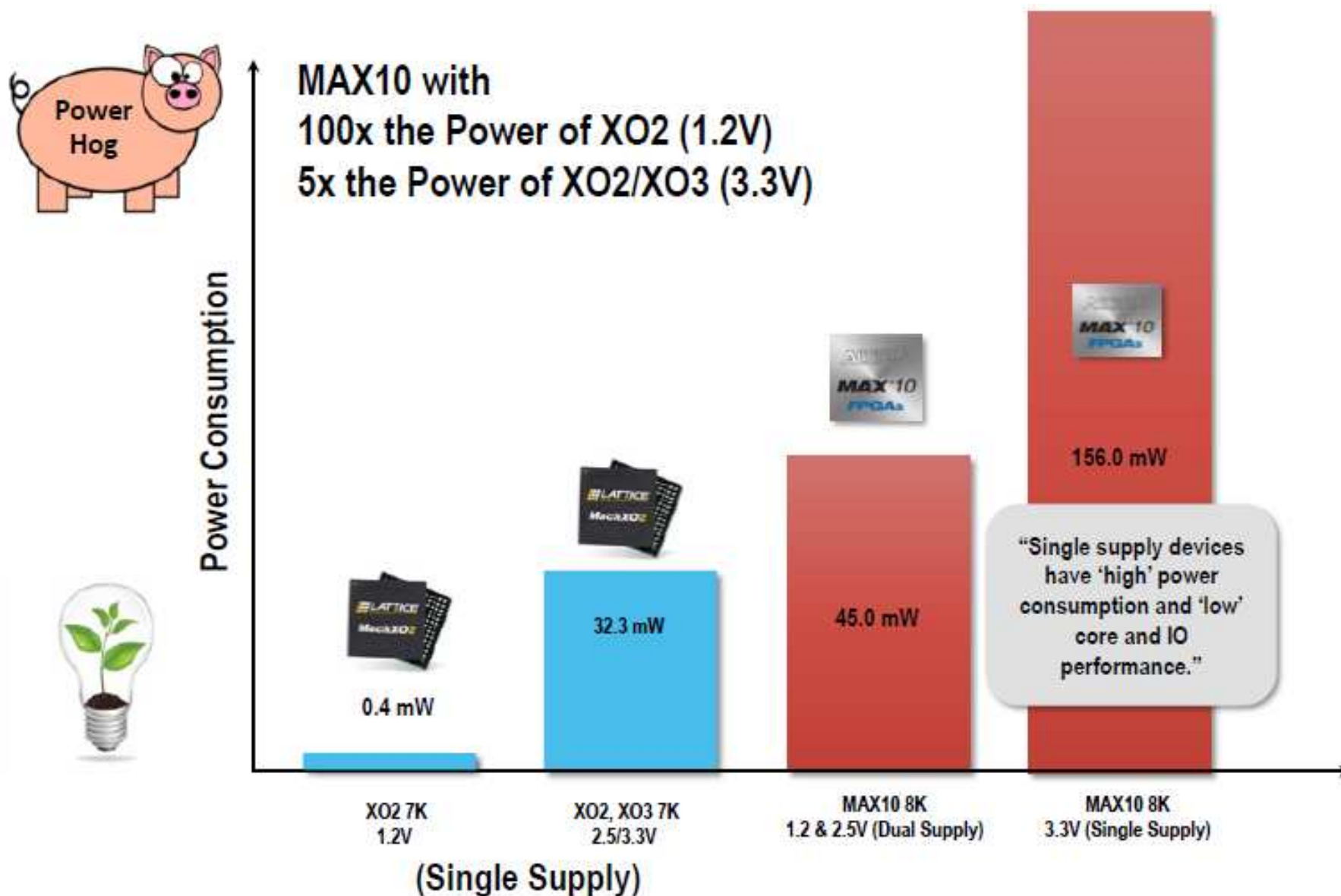
IOあたり最もローコスト XO3 vs. MAX10 IO カウント



Lattice Leads with Highest I/O in Smallest Packages

低消費電力

MAX10 vs. XO2, XO3



MachXO2/XO3 競合デバイス

- ロジック集積度的には256～7K ロジックセル程度なので、MAX2・MAX2/MAX5/MAX10および小規模Cyclone/Spartan程度に相当します。これらのデバイスは通常の使い方では**外部コンフィグレーションメモリが不要**であり、かつローコストという特徴から、競合デバイスとしては、**MAX2/MAX5/MAX10**が上がってくるかと思われます。
- MachXO2/XO3のメリットとしては、MAX2/MAX5との比較で、デバイス内部に**I2C/SPI I/F、Timer・OSCブロックなどが内蔵**されていること、全I/Oを2.5V or 3.3V I/Fで使用する場合には**外部供給電源は単一(3.3V or 2.5V)**で使用できることなどが機能面でメリットになります。(消費電力を低減させる場合にはコア電源に1.2Vを供給し、I/O電源を別途、用意)
- **消費電力的にはMAX2/MAX5/MAX10よりも低く**、小さなフットプリントパッケージが存在することもメリットです。

ECP5 – ハイボリュームアプリケーション へのコネクティビティソリューション



- ☑ Up to 40% lower cost than alternatives
 - ☑ Architecture optimized to achieve significantly smaller die size

- ☑ Up to 30% lower power than alternatives
 - ☑ Low power SERDES and FPGA fabric
 - ☑ SERDES based designs <0.25W

- ☑ Up to 2x functional density in smallest package with SERDES
 - ☑ Up to 85K LUTs in 10x10mm package
 - ☑ De-population makes routing easy

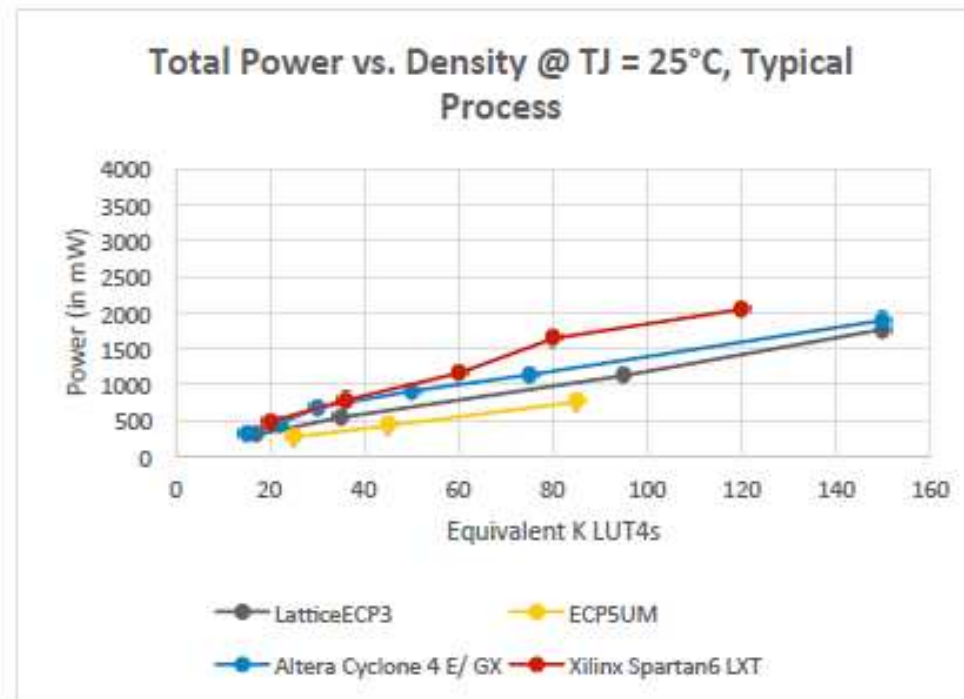
ECP5 – ローコストへの最適化

- Focus on Capacity <100K
 - Simplifies Routing
 - Allows Optimization on 40nm
- Focus on Performance Sweet Spot
 - Enables Smaller Transistors
- Focus on Efficiency
- DSP Block Improvements
- Matching Devices to Typical Applications



Comparison of Die Sizes

競合製品比30%までローパワー



Device	LUTS	Static + 1 channel SERDES @ 2.5Gbps	% Reduction
LFE5UM-25	25K	147mW	--
XC7A35T	21K	191mW	23%
5CGXBC3B	31K	279mW	47%
LFE5UM-45	45K	171mw	--

ECP5 競合デバイス

- ロジック集積度的にはCyclone4・5/Spartan6の中規模程度までに相当し、またパフォーマンス面でもCyclone4・5/Spartan6に匹敵する機能の実現はできますので、これらのデバイスが競合デバイスとして挙がってくると思われます。またFlashベースのFPGAとして、MicrosemiのProASIC3やIGLOO2が競合デバイスとして挙げられるケースもあります。
- 同規模程度のCyclone4・5/Spartan6と比較し、ECP5は**低消費電力でのメリット**があり、かつパッケージ&集積度からみた**デバイスコストバランスが優れている**と思われます。
- ProASIC3やIGLOO3と比較して、機能面やコスト面でのメリットがあると思われます。

Lattice FPGA Keyメッセージ

1. ECP5 – Connectivity and Acceleration FPGA

- Low cost SERDES FPGA

2. XO3 – Instant-On, IO Expansion and Bridging FPGA

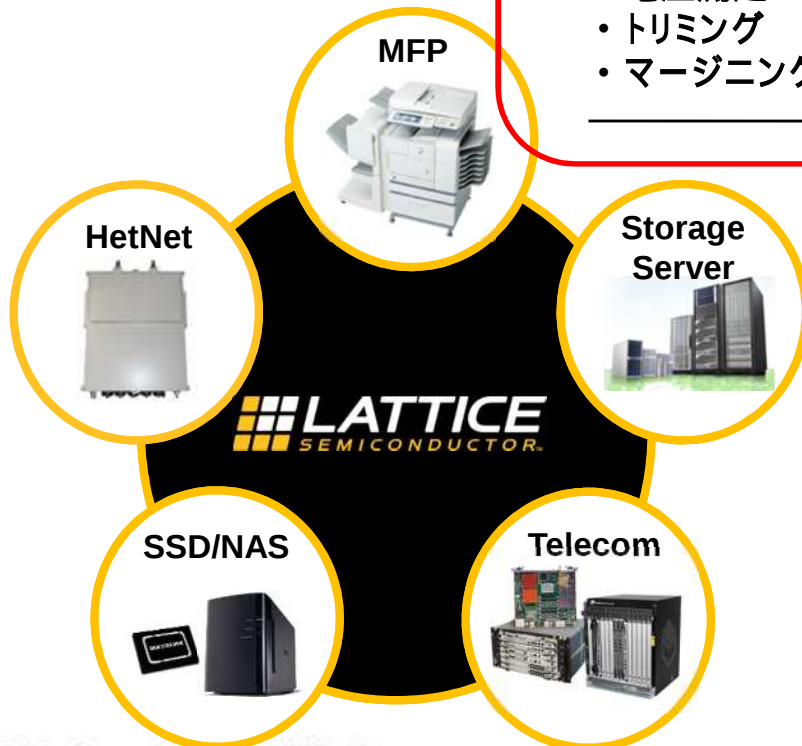
- Lowest cost per IO

3. iCE40 – World's Smallest FPGA

- Optimized hard IP for custom features

Lattice 電源監視IC

2003 第1世代 Power Manager	2006 第2世代 Power Manager II	2010 第3世代 Platform Manager	2014 第4世代 Platform Manager 2
・シーケンス ・電源監視	・シーケンス制御 ・電源監視	・シーケンス制御 ・電源監視	・シーケンス制御 ・電源監視
	・活線挿抜 ・電圧測定 ・トリミング ・マージニング	・活線挿抜 ・電圧測定 ・トリミング ・マージニング	・活線挿抜 ・電圧測定 ・トリミング ・マージニング
		・リセット分配 ・FPGAブートローダ ・不揮発性フォルトログ ・システムインターフェイス (SPI / I2C)	・リセット分配 ・FPGAブートローダ ・不揮発性フォルトログ ・システムインターフェイス (SPI / I2C)
			・温度モニター ・電流測定 ・ファンコントロール ・潤沢なユーザロジック



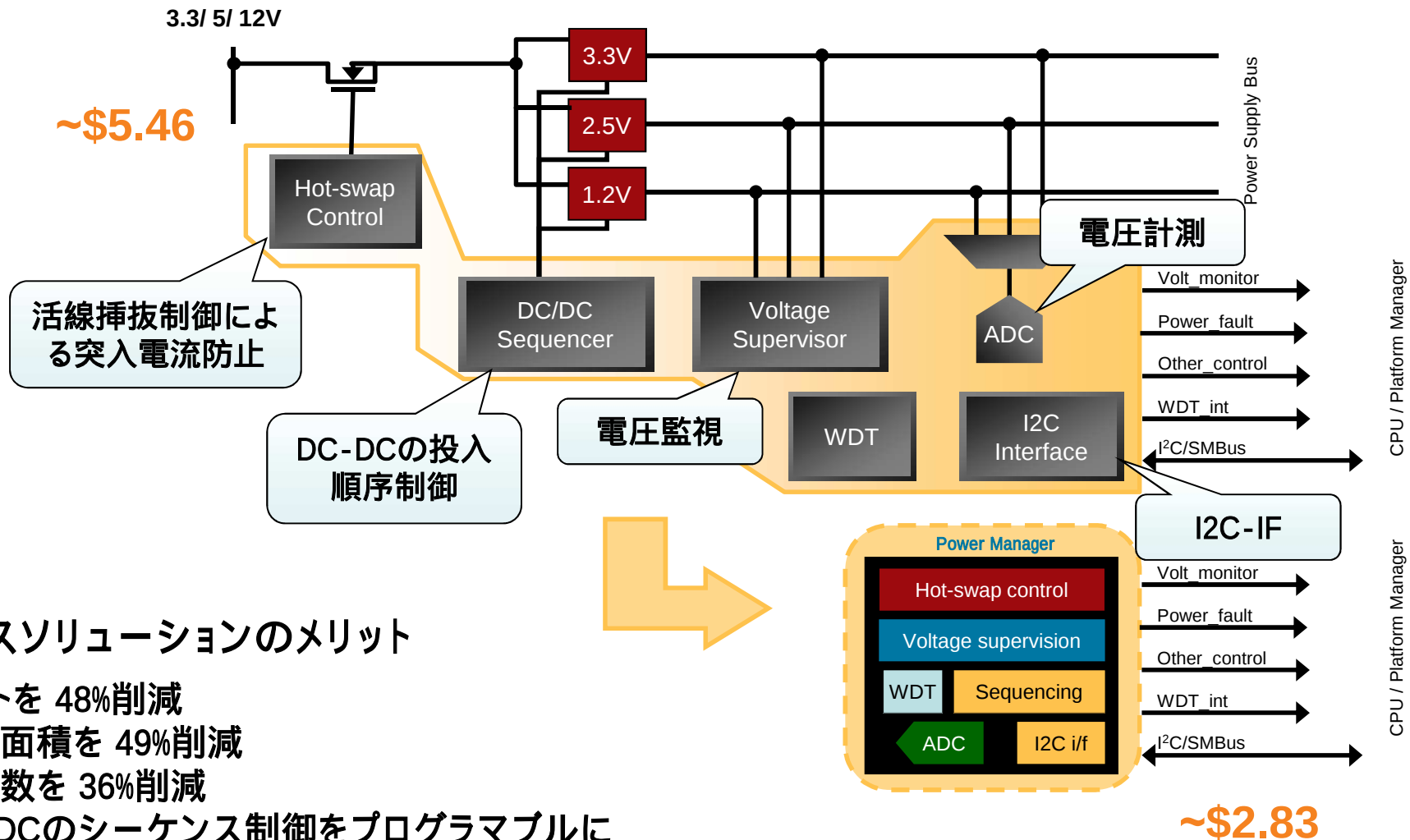
競合製品: TI/LTC/MAXIM等の電源監視IC
およびPSOC

FPGA搭載電源監視ICで出来る事

高精度アナログ回路と デジタルFPGAの統合

- 精度の高い電圧監視で信頼性を増大
 - 12系統の電圧監視用アナログ入力
 - 差動入力で電圧を監視
 - 過電圧/低下電圧の検出
 - ウィンドウ・コンパレータとして設定可能
- 高電圧FETドライバの集積により部品点数を削減
 - 4系統のNチャネルMOSFETドライバ出力
 - 電源ランプ(立ち上がり・立ち下がり特性)制御
 - プログラマブルな電流と電圧
 - 突入電流制御
- マージニングとトリミングによる電圧余裕を改善
 - 最大8系統の電源に対応
 - ダイナミックな電圧制御
 - 1%以下の電源精度を提供
 - デジタル閉ループ動作モード
- プログラマブル・タイマで制御の柔軟性を増大
 - 独立したタイマが3/4系統
 - 32 μ secから最大2 secまで
- Voltage-ID機能付デバイスをサポート
 - IPを提供
 - 同時にトリミングも実現可能
- PLDリソースは電源とデジタル機能を集積
 - 48マクロセル+640 LUT(第3世代)
 - 640/1280 LUT(第4世代)
 - 最大64Kbitのメモリ
 - 最大108本のデジタルI/O
 - LVCMOS 3.3/2.5/1.8/1.5/1.2
 - I2C, SPIもサポート
 - リセット分配
- システムレベル・サポート
 - 単一3.3V電源による動作
 - インダストリアル・グレードの温度範囲
- インシステム・プログラマビリティ(ISP)でリスクを減少
 - オンチップ・コンフィグレーションメモリ
 - JTAGプログラミング・インターフェイス
- フォルトロギング機能
 - 電源故障時のログ機能
 - 外部SPIフラッシュにデータを格納(第3世代)
 - 内部不揮発メモリにデータを格納(第4世代)
- 第4世代で搭載した新機能
 - 温度センサ
 - 電流センサ
 - ファンコントローラ

ディスクリート部品集約でコスト削減



ラティスソリューションのメリット

- コストを 48%削減
- 実装面積を 49%削減
- 部品数を 36%削減
- DC-DCのシーケンス制御をプログラマブルに
- 外部FETを制御してソフトスタート可能
- 部品の共通化・標準化により管理工数とコストの削減
- プログラマビリティにより設計変更にも柔軟に対応

第2世代 Mixed Signal Power Management (spPAC-POWR1220AT8)

10 ビット ADC

I2C を介して電圧測定可能
デジタル閉ループ・トリミングに使用

48 マクロセル CPLD

243 PT項/ 83 入力
ispMACH4000 の派生品

12 プログラマブル・デュアル 閾値モニタ

差動モニタ入力
0.5% ステップサイズ, 368 ステップ
精度 0.2% Typ.
プログラマブル・グリッチ・フィルタ
電源オフ検出 (75 mV)

6 -デジタル入力

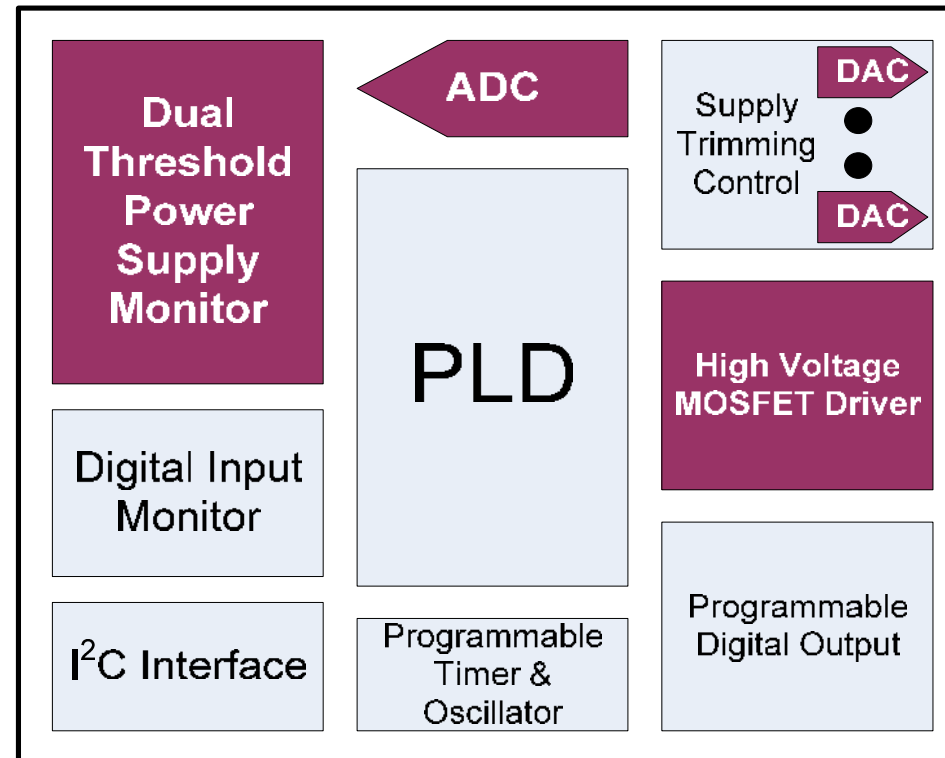
I2CまたはJTAGから制御可能

I2C インターフェイス

全 I/O, ADC のステータスが読み出し可能
デジタル入出力の制御
マイクロコントローラによる閉ループ・トリミング

4 タイマー

個別に 32us ~ 2 sec の範囲でプログラム可能



8 マージン・トリム出力

8ビット DAC で電圧のトリミングをサポート
閉ループ・トリミング
4つの電圧プロファイルが設定可能

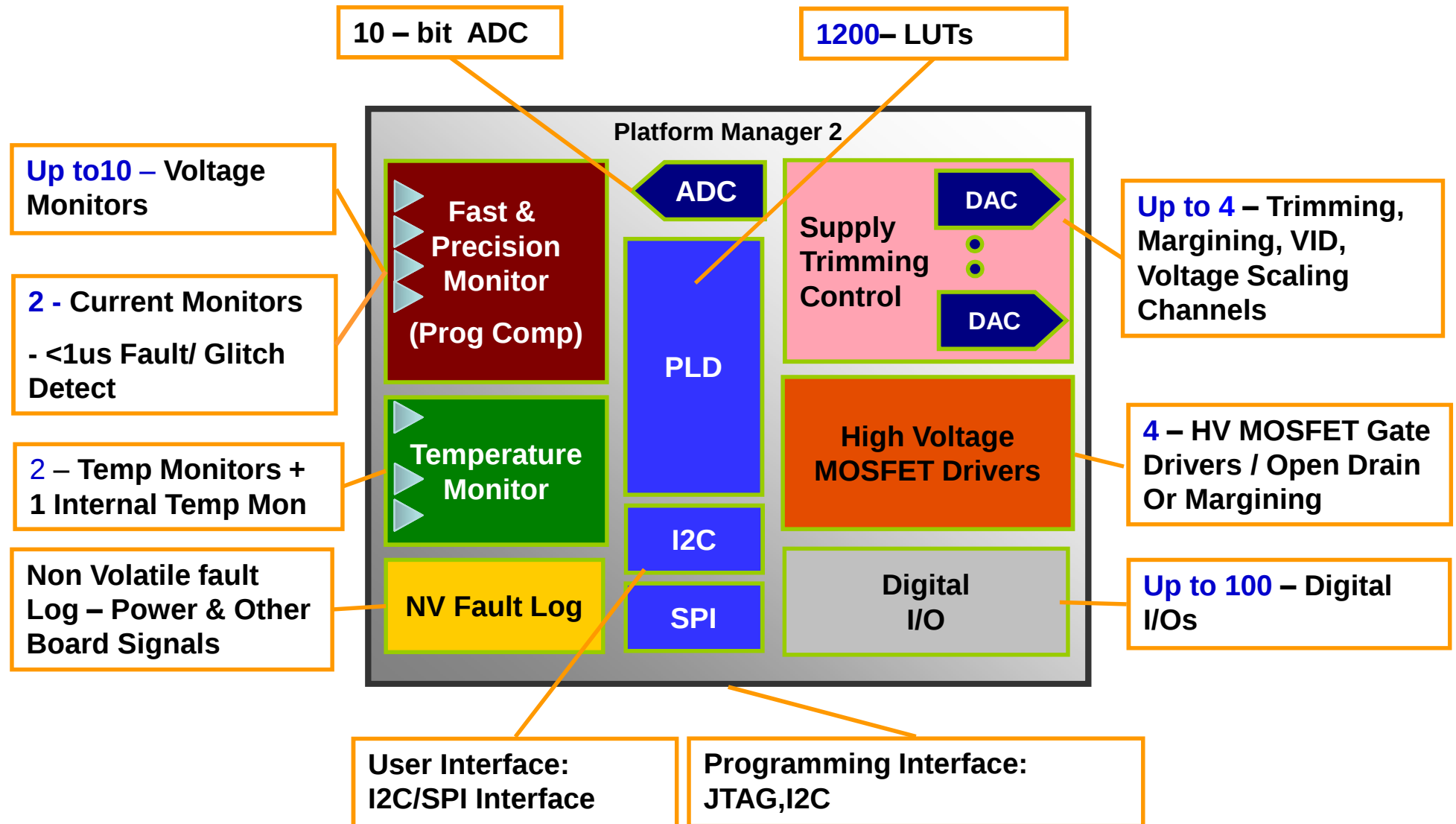
20 出力

4 プログラマブル MOSFET ドライバ
16 デジタル閉ループ制御
PLD か I2C から制御

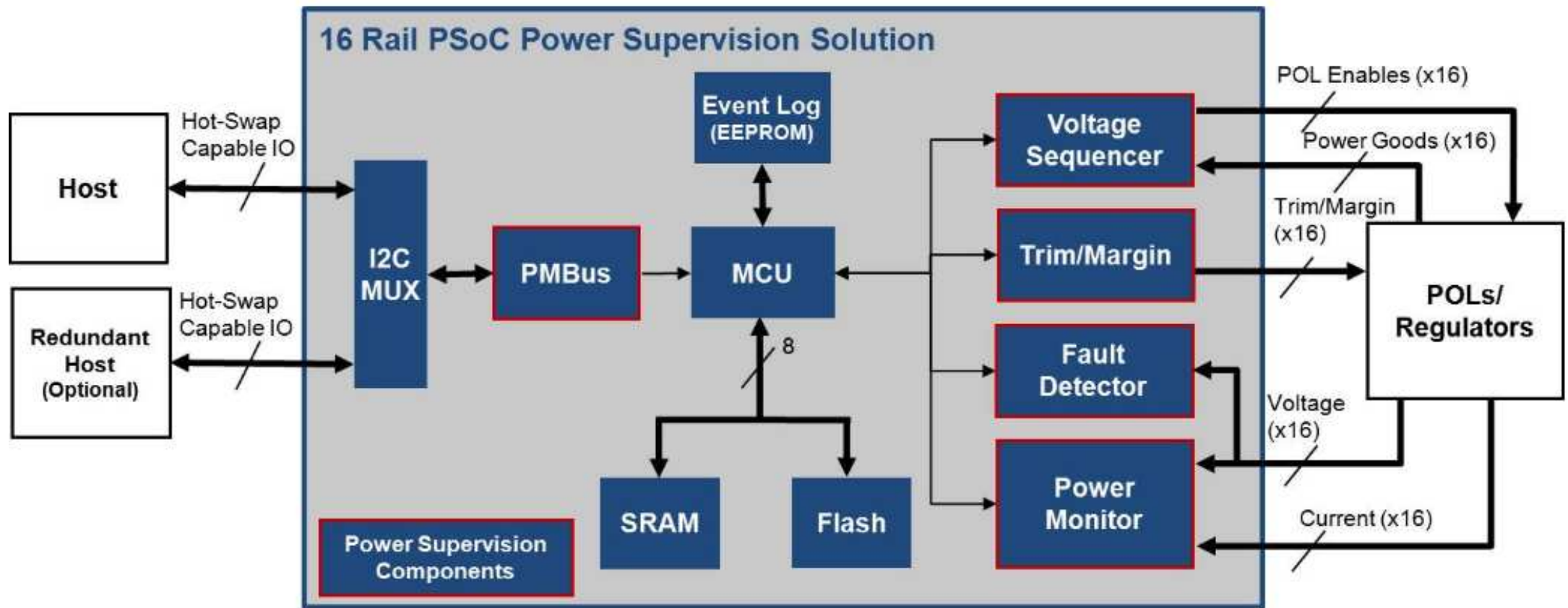
1149.1 JTAG インターフェイス

デバイスのプログラム
入出力の制御
全てのデジタル・ステータスが読み出し可能

第4世代 Mixed Signal Power Management (LPTM21)



PSOC Power Management /Lattice Comparison



Cypress PSOC Power Supervision

Lattice/Cypress PSOC比較表

Key Features	PSOC5	PSOC3	PSOC1	PowerManager II (第二世代品)	Platform Manager 2 (第四世代品)
Number of voltage rails sequenced	up tp 32	up to 32	up to 20	up to 12	up to 10
Number of voltage and current monitoring inputs	up to 32	up to 32	up to 24	up to 12	up to 12(Voltage:10/current:2)
ADC based voltage and current monitoring accuracy	0.26%	0.26%	2%	0.20%(Voltage only)	0.50%
Number of temperature monitoring inputs	N/A	N/A	N/A	N/A	up to 2
Number of trimming/margining outputs	up to 32	up to 32	up to 12	up to 8	up to 4
EEPROM fault and event log size	up to 2KB	up to 2KB	up to 2KB	N/A	up to 8KB
Embedded MCU Core	Cortex M3	8051	M8C	N/A	N/A
Cost					

一番の大きな相違は設計環境で、PSOC:ソフトウェアプログラム、
Lattice製品はハードウェアプログラム

お客様よりターゲット価格をお聞きください

Technical Support
Development

(質問)

Xilinx Bizをやってきて、
Latticeデバイスと競合した
経験はありますか？

(Yesの方)

CPLDや小規模FPGAの価格競合でLatticeデバイスの名前を聞いたことがあると思います。

結果的に、**XilinxデバイスでWin**できましたか？ Winできた理由は価格ですか？

(Noの方)

おそらくお客様のシステムでLatticeソリューションの適用箇所が十分に検討されていない為、採用されていないか、採用されていたとしてもXilinxとは異なる適用箇所での採用の為、**Latticeデバイスが採用されていたことがヒアリングできていない**可能性があります。

(結論)

- 競合の土俵に上がった場合には価格的にメリットがあるケースが多くあります。
- 集積度・機能面で、必ずしもXilinx/ALTERAと同じ土俵に上がる必要はなく、Latticeソリューションの特徴が活きるアプリケーション、機能ブロックがありますので、見逃さないことが重要です。
(競合はXilinx/ALTERAのみとは限りません)

Latticeデバイスの特長

- CPLD/FPGAに関しては、Xilinx/Alteraと比較し、集積度・パフォーマンスが限定される一方、**小型パッケージ、低消費電力**を売りにしております。
- **Xilinx/Alteraには無い**ユニークなデバイス・機能 (Power Management ICやUSB-Type C用PD/CDコントローラなど) があると共に、Bizレベルでの旧シリコンイメージ製品 (HDMI/DVI/MHL etc)との協業が活用できます。
- デバイス、Bizサイズに因りますが、価格競争力は比較的
あると思われます。

How to Sell Lattice FPGA/CPLD

- Lattice製品の特長を活かせる案件をキャッチアップしてください。
 - TI/FS/Cypress(Spansion)/Intel/Cavium プロセッサ/DSP/ASSPの引き合いの際にはブリッジ・I/O拡張、電源監視用途でオポチュニティがないか確認をお願いします。
 - MIPI I/F、USB TYPE-C PD/CDコントロールなどのキーワードに関心を持ったお客様にはLatticeソリューションを紹介してください。
- FPGA製品に精通した担当者がサポートしておりますので、サポート面での対応をお客様にPRしてください。
- ドキュメント整備およびホットライン対応、オンサイトトレーニングは実施していきますので、お客様の要求を定期的にヒアリングしてください。
- 競合Mature CPLD/FPGAのコストアップが拡販の追い風になると思われます。

How to Introduce & Sell Lattice FPGA/CPLD



RENESAS

TOSHIBA
Leading Innovation >>>

BROADCOM

ASIC/MPU
/ASSP

+



KEYワード

mipi
alliance
USB TYPE-C

ASIC/MPU/ASSPのインタフェース
・ブリッジ・I/O拡張などで

商談引き合いの際にはインタフェース
・ブリッジ・I/O拡張の用途を確認してください。



+



Power Management ICはMPU/ASIC/他社FPGAと
の組み合わせでももちろん使用できます！

Platform
Manager 2

Power
Manager II