

CPLD/FPGAの概要



CPLD/FPGA とは

■ FPGA

Field Programmable Gate Array

■ CPLD

Complex Programmable Logic Device

ユーザーが希望する論理機能を短期間で実現でき、
いつでもどこでも簡単に何度でも書き換えが可能な、
安価な半導体デバイス(→標準デバイスとして購入出来る)



CPLD/FPGA とは

FPGAの位置づけ

電子デバイス

デジタル回路
構成部品

プログラマブルデバイス

CPU

DSP

FPGA

PAL

CPLD

非プログラマブルデバイス

メモリ

標準
ロジック

LED

ADコンバータ

ASSP

ASIC

アナログ回路
構成部品

抵抗

コイル

コンデンサ

CPLD/Low-End FPGA ラインアップ

CPLD

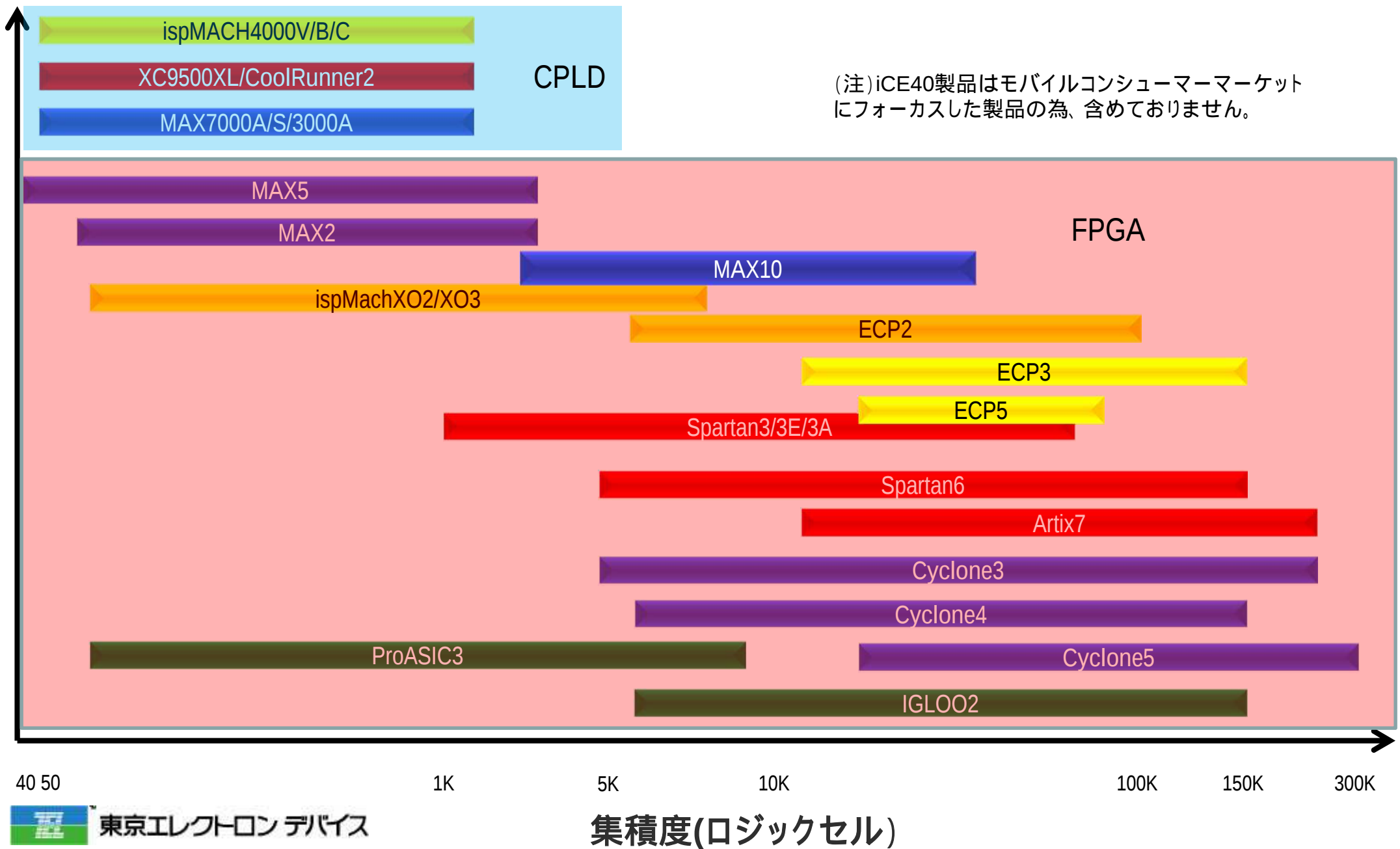
ispMach4000V/B/C (Lattice)
MAX7000A/MAX3000A (Altera)
XC9500XL/Coolrunner2 (Xilinx)

FPGA

ispMachXO2/XO3 (Lattice)
MAX2/MAX5/MAX10 (Altera)

ECP2(M)/ECP3/ECP5/iCE40 (Lattice)
Cyclone3/Cyclone4/Cyclone5 (Altera)
Spartan3/Spartan3E/Spartan3A/Spartan6/Artix-7 (Xilinx)
ProASIC3/IGLOO2 (Microsemi)

CPLD/Low-End FPGA ラインアップ



CPLD/FPGA製品の価値

■ プログラマビリティー

- 仕様・回路をハードウェアですぐに評価が出来る
- 評価・検証した回路をすぐに量産できる
- フィールドでの回路変更が可能

■ FPGAの大規模化

- 大型システムの評価が容易になる
- ASICエミュレーションが実現する
- CPU、DSP、メモリーなどトータルシステムの構築が可能になるとともに部品点数の低減と基板面積の縮小に貢献する

■ FPGAの低コスト化

- システム検証後、すぐに量産に移行できる
- 開発費へのリスクを回避できる

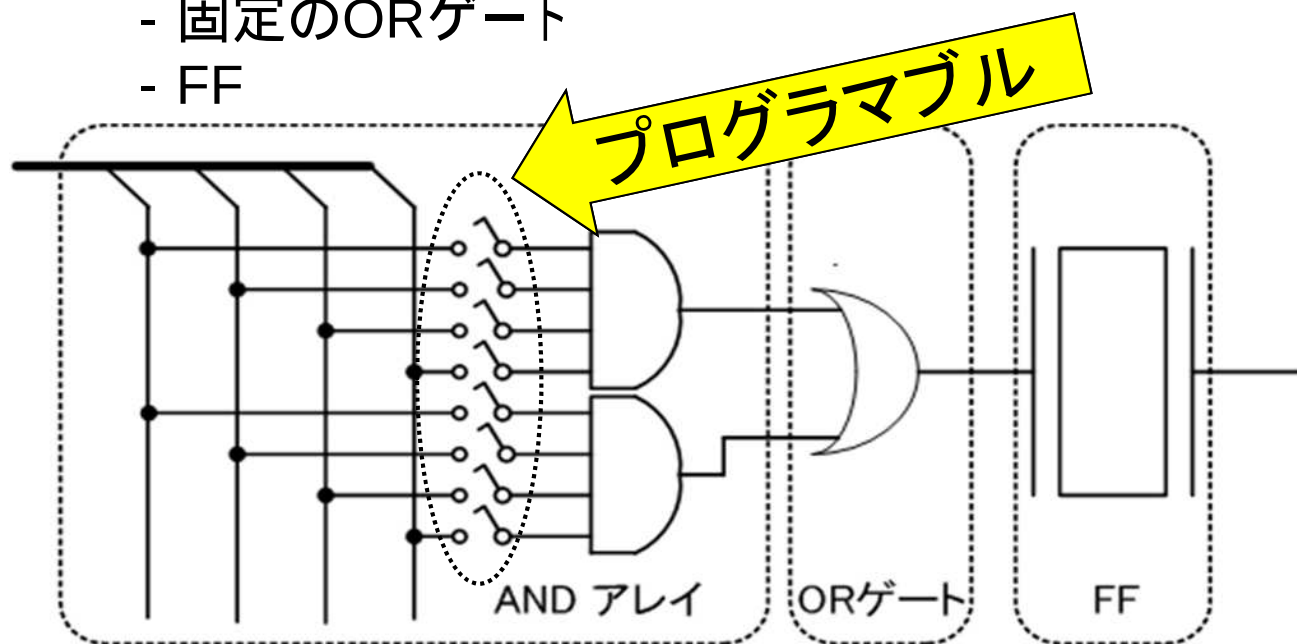
CPLDアーキテクチャ

複数のPAL (Programmable Array Logic)を組み合わせた構造

PALとは

設計者が設計した論理回路を以下の部品を基本として構成

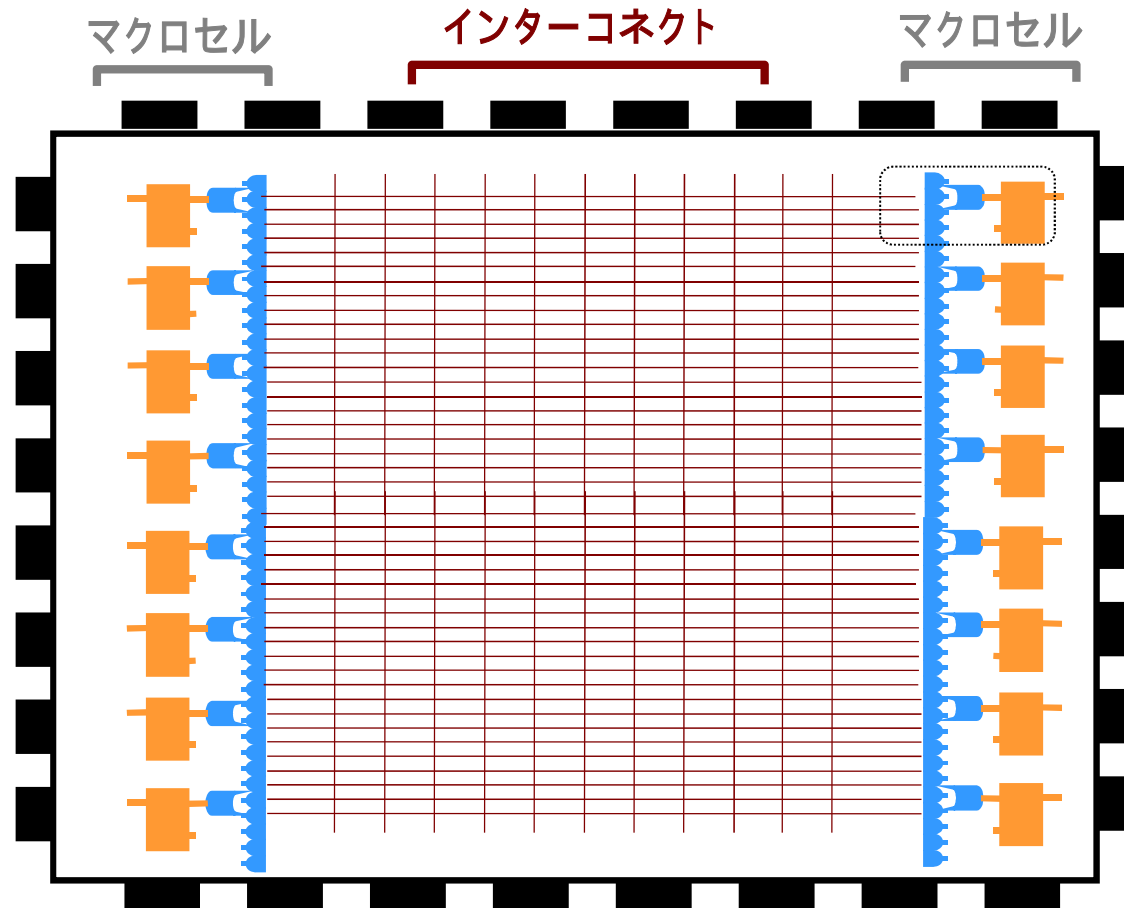
- プログラマブルなANDアレイ
- 固定のORゲート
- FF



PAL の基本アーキテクチャ

CPLDはこの
構造を元に
構成されている

CPLDの基本構造

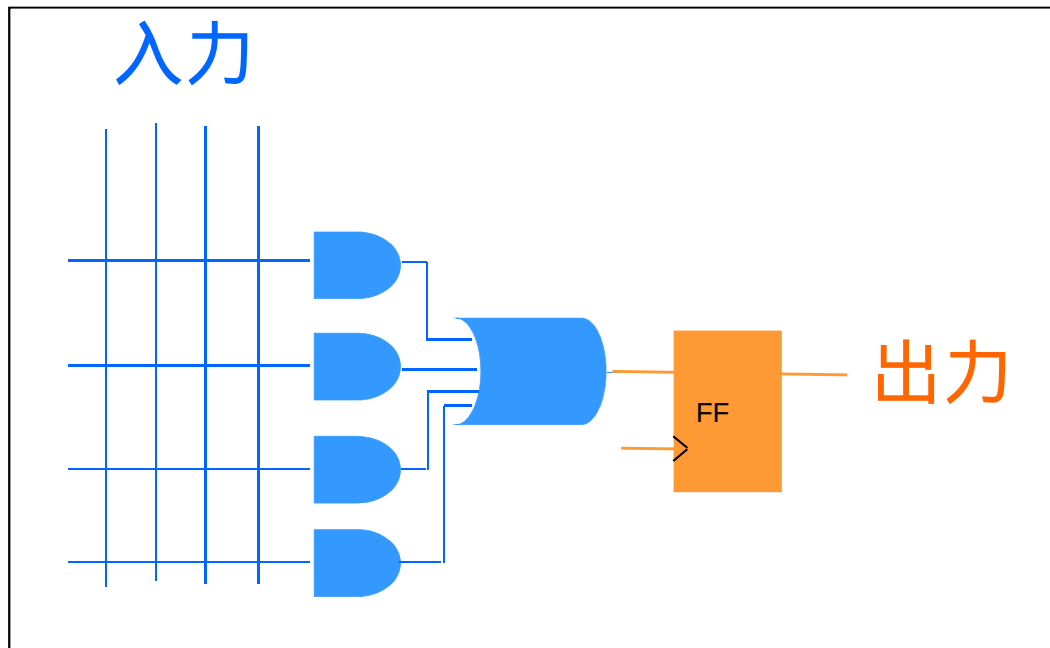


Complex Programmable Logic Device

マクロセルとは

- ユーザーの設計した論理回路を構成するブロック
 - ロジック + F/F からなる
 - マクロセルの数とゲート規模は比例する

1マクロセル 20～25システムゲート



マクロセルの概念図

CPLDのプログラムファイル保存方式

- 一般に、CPLDのプログラムファイルはEPROM (Electrical Programmable ROM)やEEPROM(Electrically Erasable Programmable ROM)など、CPLD内の不揮発性のメモリに書き込まれ、保存される。

電源投入と共にメモリのプログラムファイルは読み出され、CPLD内に論理回路を構成する

CPLDの外にプログラムファイルを保存する必要は無い

CPLDの用途とメリット

標準ロジック + α

- 従来、複数の標準ロジックの組み合わせで実現している回路をCPLD1個で実現
- 標準ロジックでは構成しづらいカスタマイズされた論理を簡単に実現

FPGAコンフィギュレーション制御

- F-MEM、PROMからのFPGAコンフィギュレーションを制御

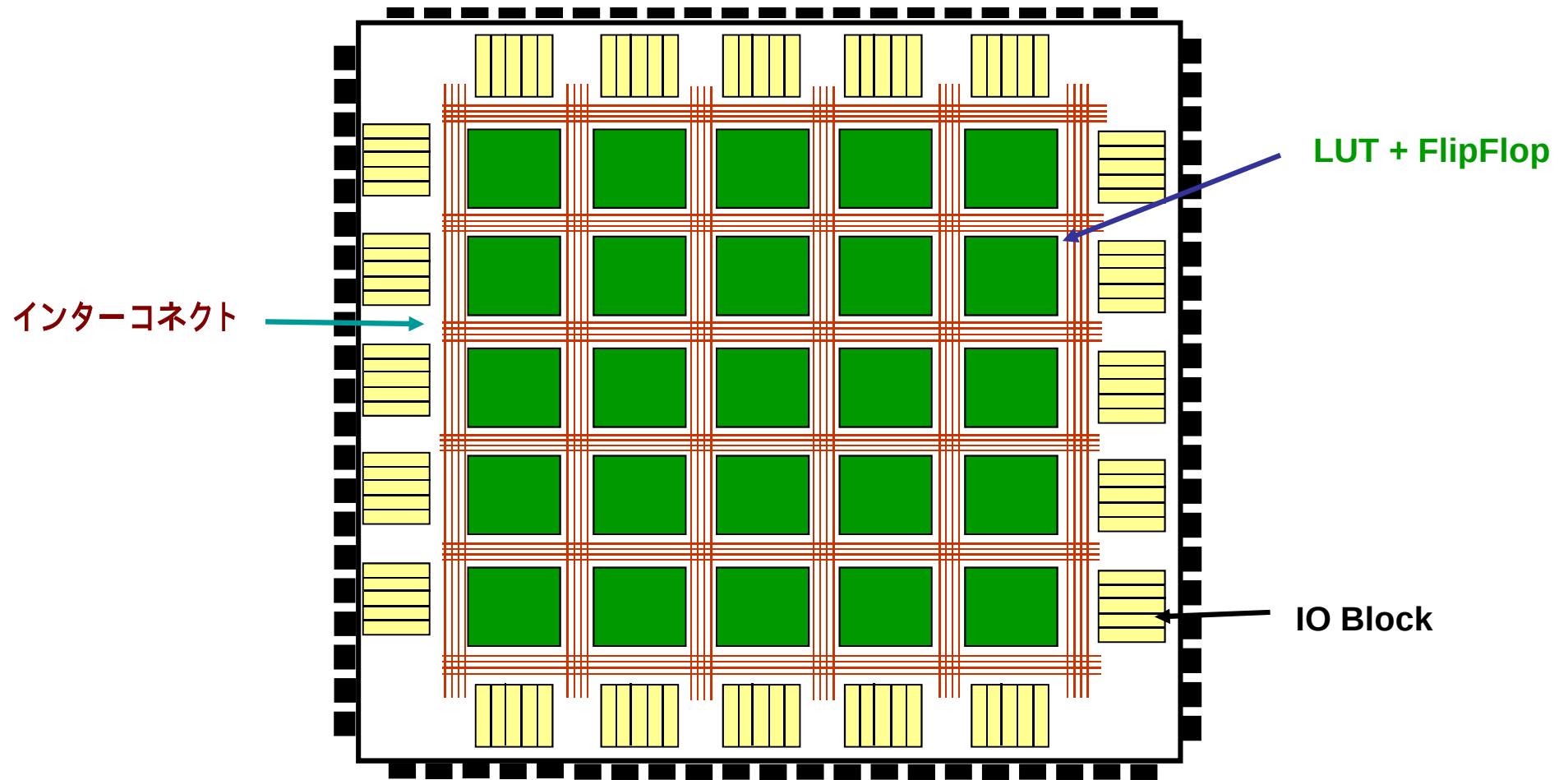
デバッグ→バグ、仕様変更対策

- デバッグ時の簡単なバグ、仕様変更などを吸収するフリーロジック

バッテリー駆動アプリケーション

- 消費電力の制約が厳しいアプリケーションでの使用

FPGAの基本構造

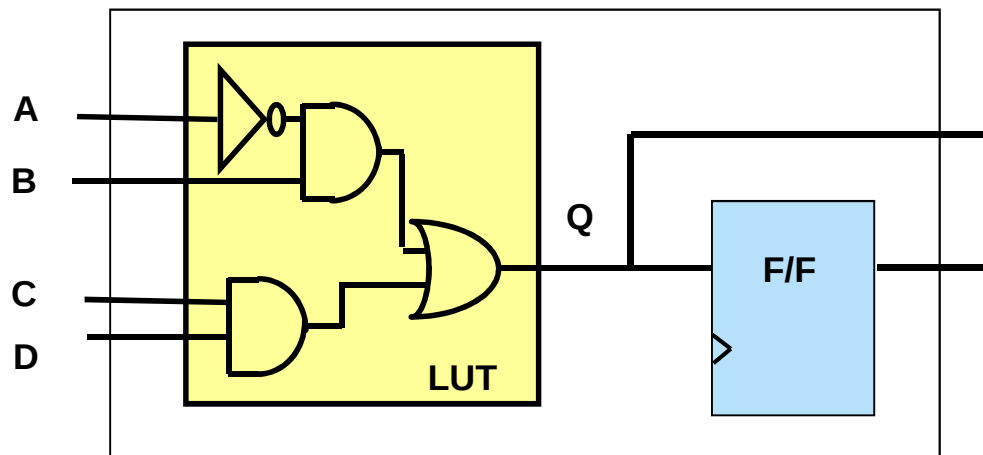


Field Programmable Gate Array

LC(ロジックセル)とLUT

ロジックセルの基本

- 4入力1出力のLUT + FF



ロジックセルの構成

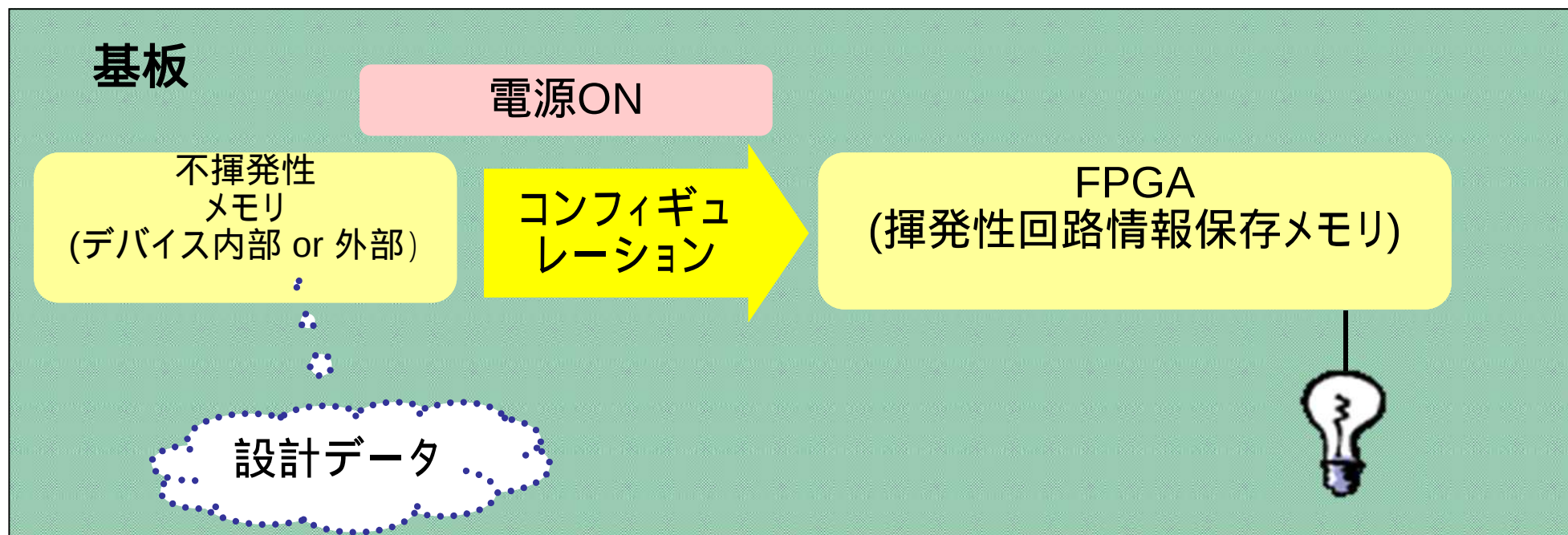
1ロジックセル 12システムゲート

A	B	C	D	Q
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	1
0	1	0	0	1
0	1	0	1	1
⋮	⋮	⋮	⋮	⋮
⋮	⋮	⋮	⋮	⋮
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	1

4入力の場合、
16 x 1のメモリーと等価

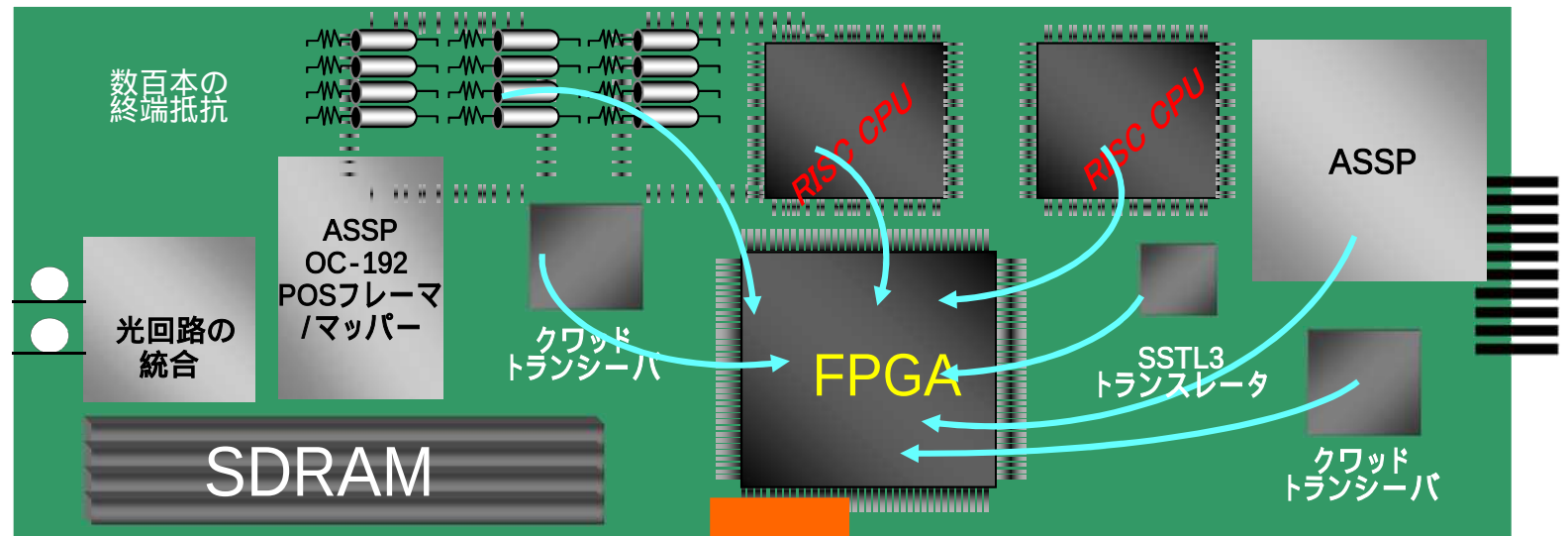
FPGAのプログラマブルファイル保存方式

- 回路情報を保存するメモリは揮発性のため、外部に不揮発性のメモリを搭載する必要がある(ECPデバイスタイプ)
- FPGA内部に不揮発性メモリが内蔵されており、電源投入後にFPGA内揮発性メモリ領域に回路情報をダウンロード実施 (XP2/XO2/XO3デバイスタイプ) (*) ECPデバイスのように外部プログラムメモリ領域より回路情報をダウンロードする設定もあり
- FPGAは電源を投入した際、1度だけ、外部メモリおよびFPGA内不揮発性メモリ内情報をFPGA内揮発性メモリにダウンロード(コンフィギュレーション)される
- FPGAはコンフィギュレーション終了後、搭載した機能にて動作する



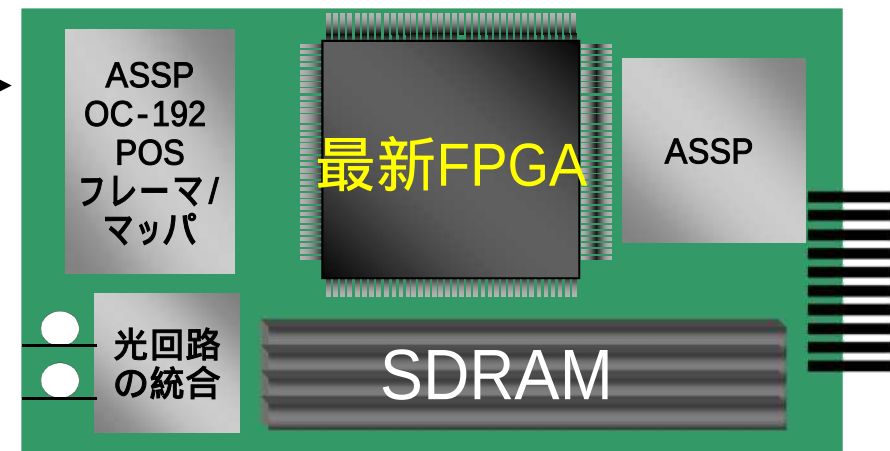
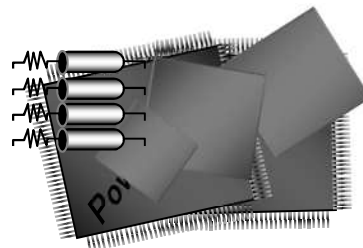
FPGA概要

FPGAのメリット



ボードスペースを
節約...

最新FPGA
による部品
点数削減

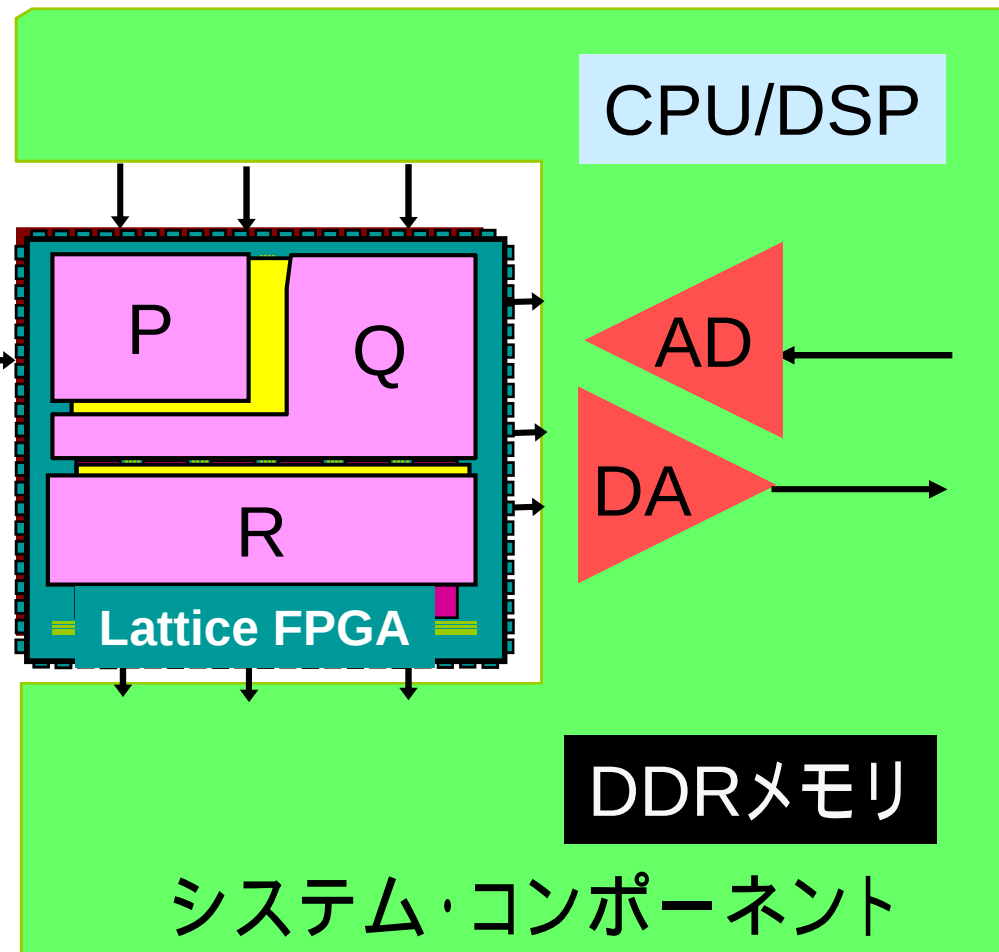


システム構成 概念 (ECP2/3/5デバイス)

ビット・ストリーム・ファイル

外部記憶
メディア
(プログラムメモリ)

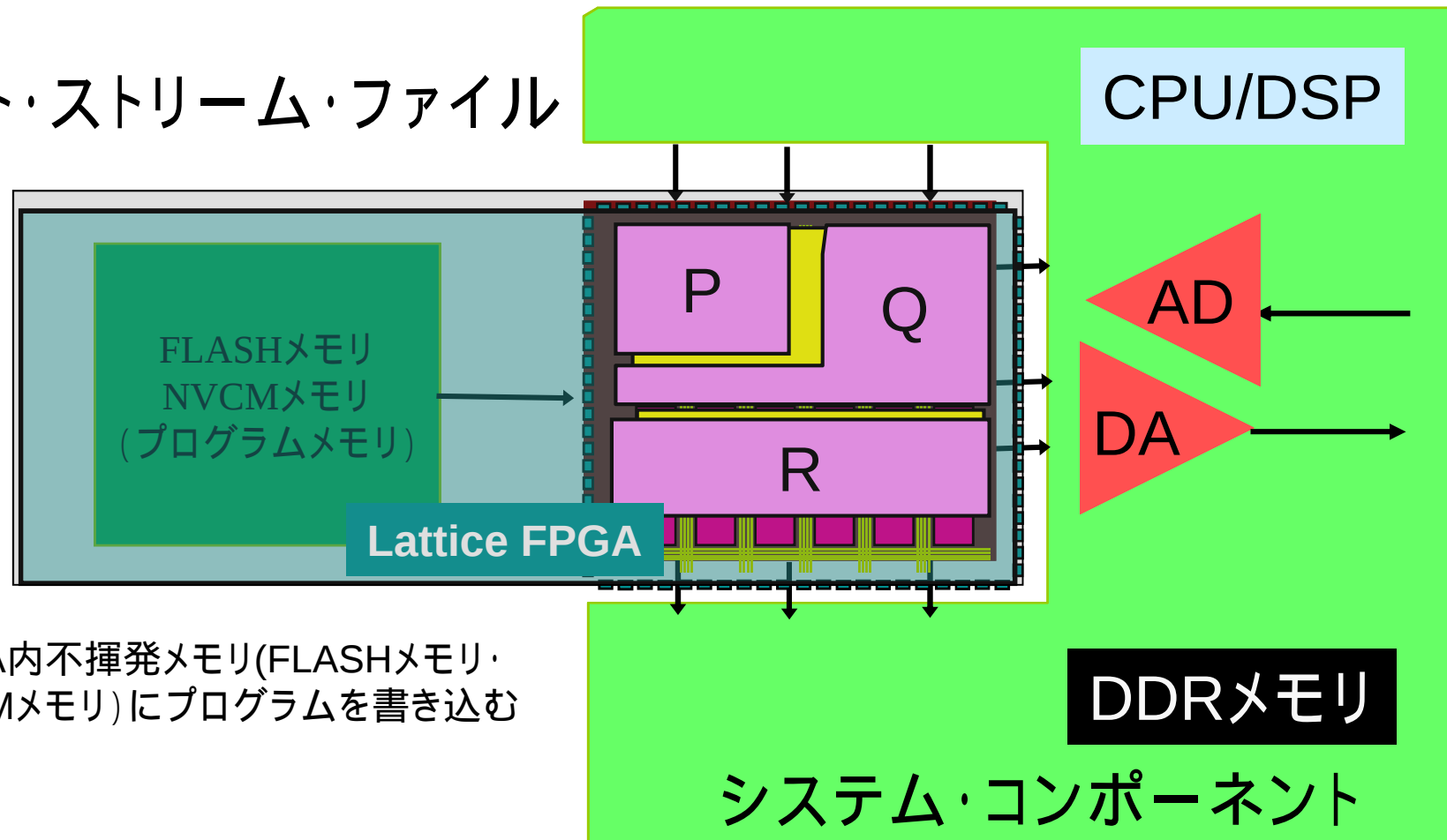
FLASHメモリ
ROM
CPU
DSP
ネットワーク



CPUのブートと同じイメージの
プログラム・ローディングがある

システム構成 概念 (XO2/XO3/XP2デバイス)

ビット・ストリーム・ファイル



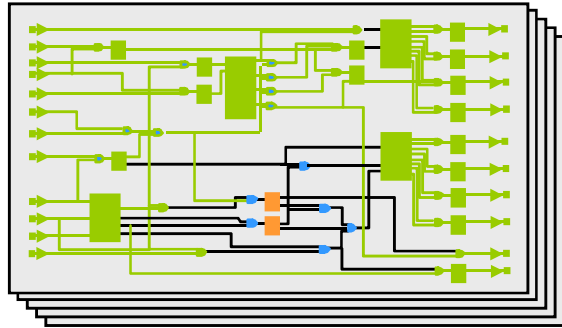
FPGA内不揮発メモリ(FLASHメモリ・NVCMメモリ)にプログラムを書き込む

CPUのブートと同じイメージの
プログラム・ローディングがある

(注) ECPデバイスのように外部プログラムメモリ領域より回路情報をダウンロードする設定も有り

FPGAのデザインとプログラミング

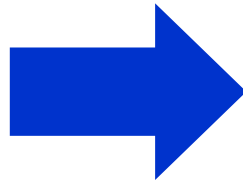
HDL設計/論理合成



配置配線処理
コンパイル

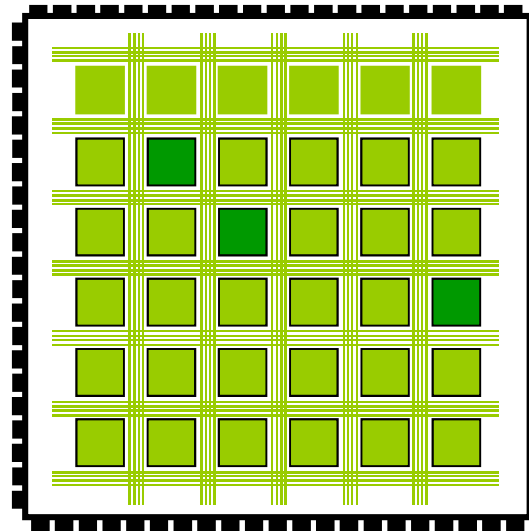


ビットストリーム
ファイル

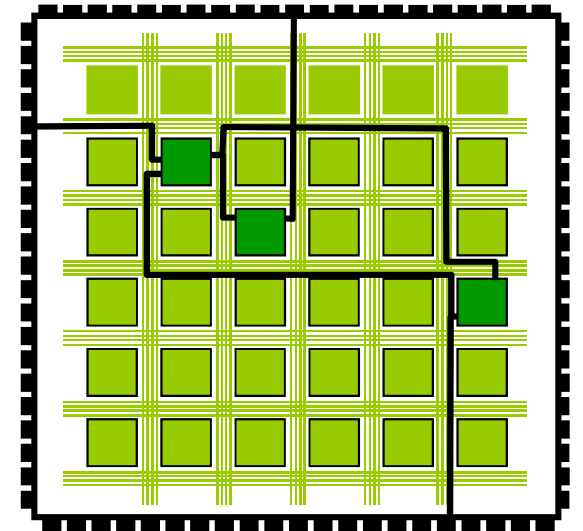


FPGA

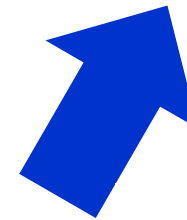
配置 (Place) され



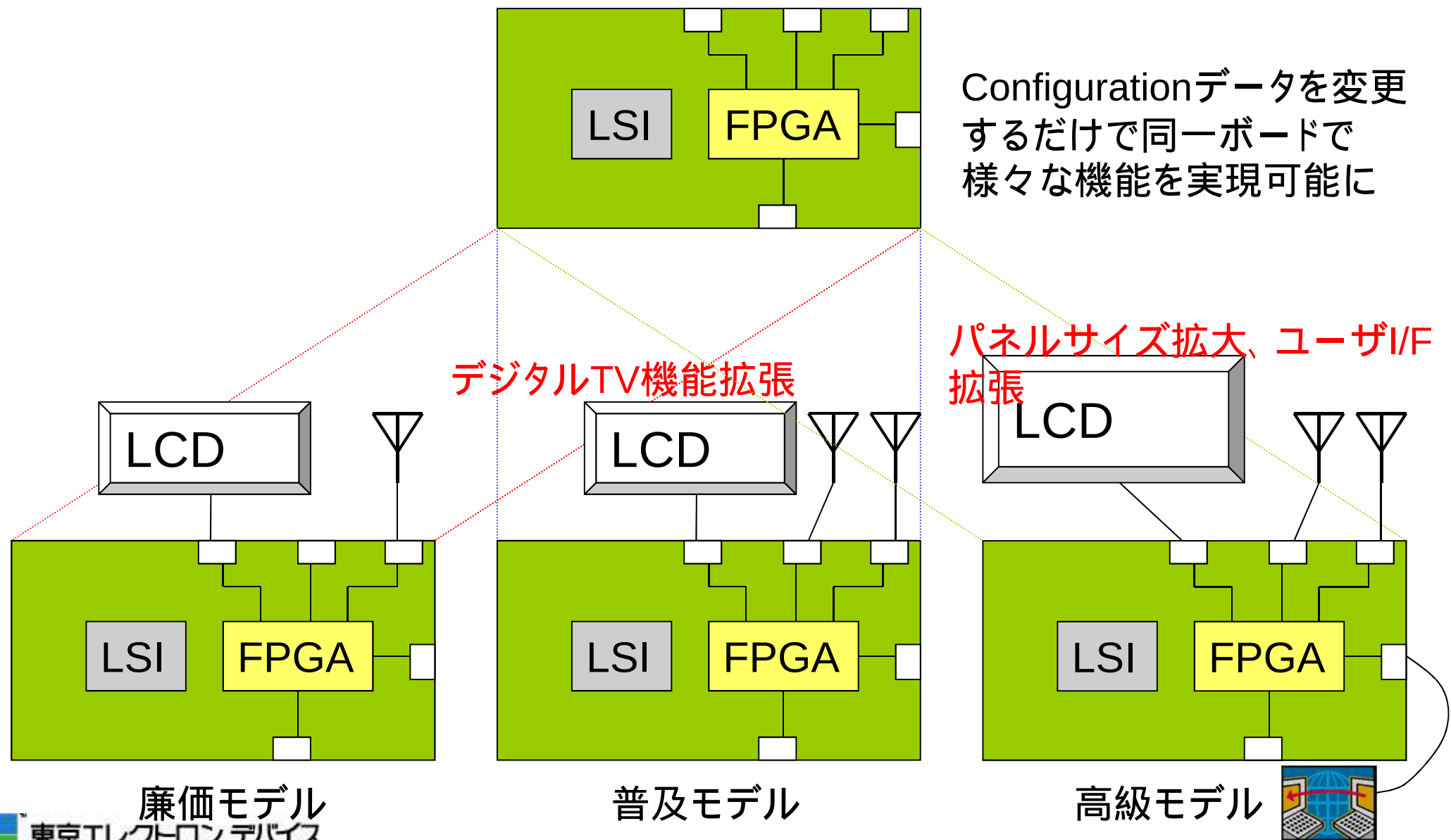
配線 (Route) される



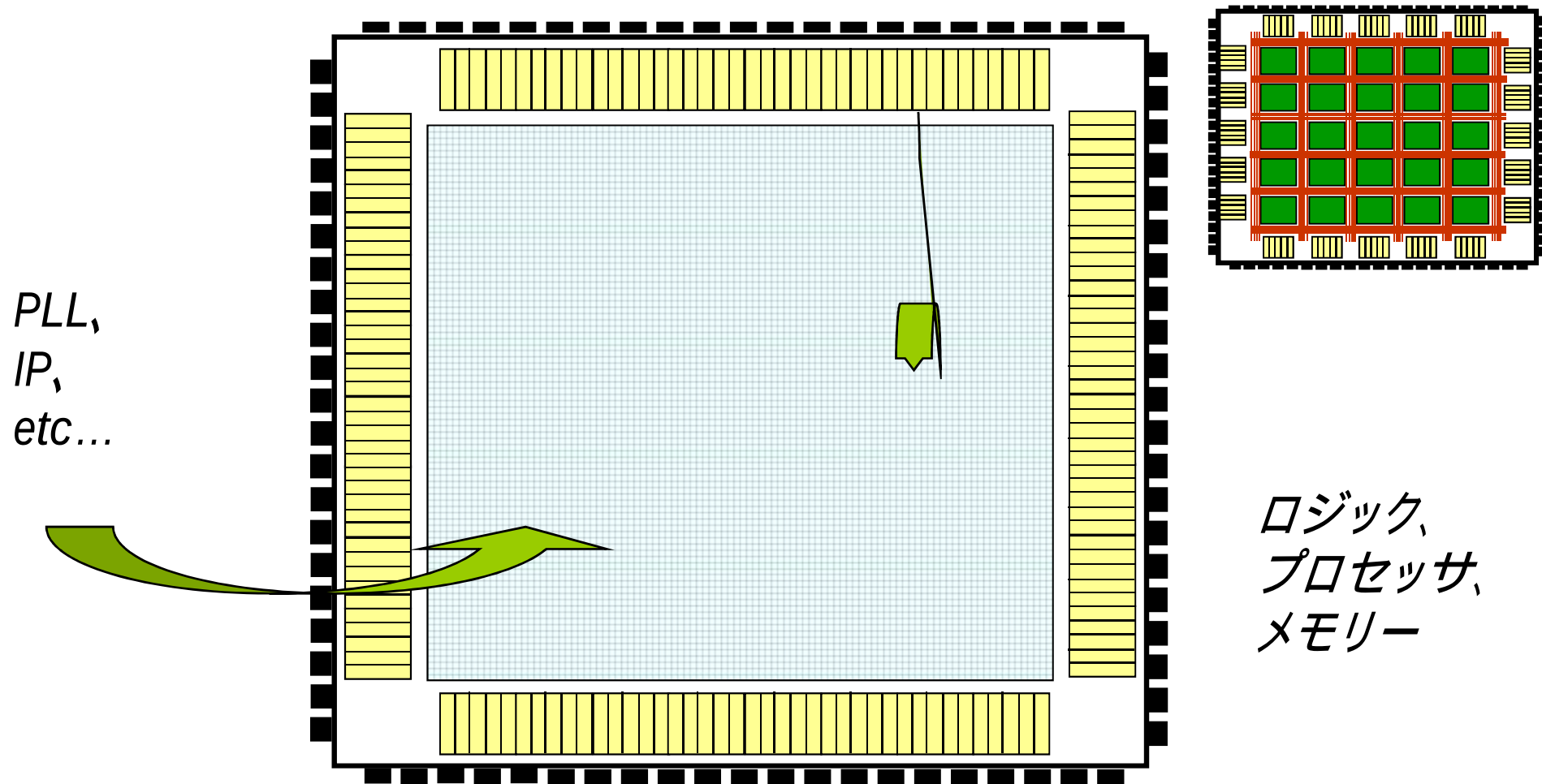
ダウンロード



同一ボードで様々な機種を実現



ASICの基本構造



Application Specific Integrated Circuit

ASICと比較し、CPLD/FPGA製品が 得られるメリット

- 設計の**自由度**が広がる(プログラマブル)
- 自分の設計を自由に**試せる**(プログラマブル)
- **短納期**の要求に対応できる(マスク不要)
- **ASICをエミュレーション**することでASIC設計・システム設計を短縮できる(プログラマブル)
- **ASSPをカスタマイズ**してオリジナル仕様にできる(プログラマブル)
- 仕様変更・機能追加・バグフィックスに**素早く対応**可能(プログラマブル)
- ハードウェア・ソフトウェアの**同時設計・評価**が可能(マスク不要)

設計者へのメッセージ

- ASICを使った設計に比べて、CPLD/FPGAを使えば
 - CPLD/FPGAなら、設計FIXまでの期間が長く取れる
 - CPLD/FPGAならHW/SW同時設計・評価が可能になる
 - CPLD/FPGAなら実デバイスでシステム評価がすぐ出来る
 - CPLD/FPGAならテスト設計が不要になる
 - ASIC開発ツールより安価(ツールによっては無償)で使いやすい設計開発環境
- 競合他社に比べて、Lattice製品を使えば
 - ローコスト、小型パッケージ、低消費電力ソリューションが両立
 - 他社にないソリューションユニークなデバイス・機能(Power Management ICやUSB-Type C用PD/CDコントローラなど)が存在

FPGAとASIC

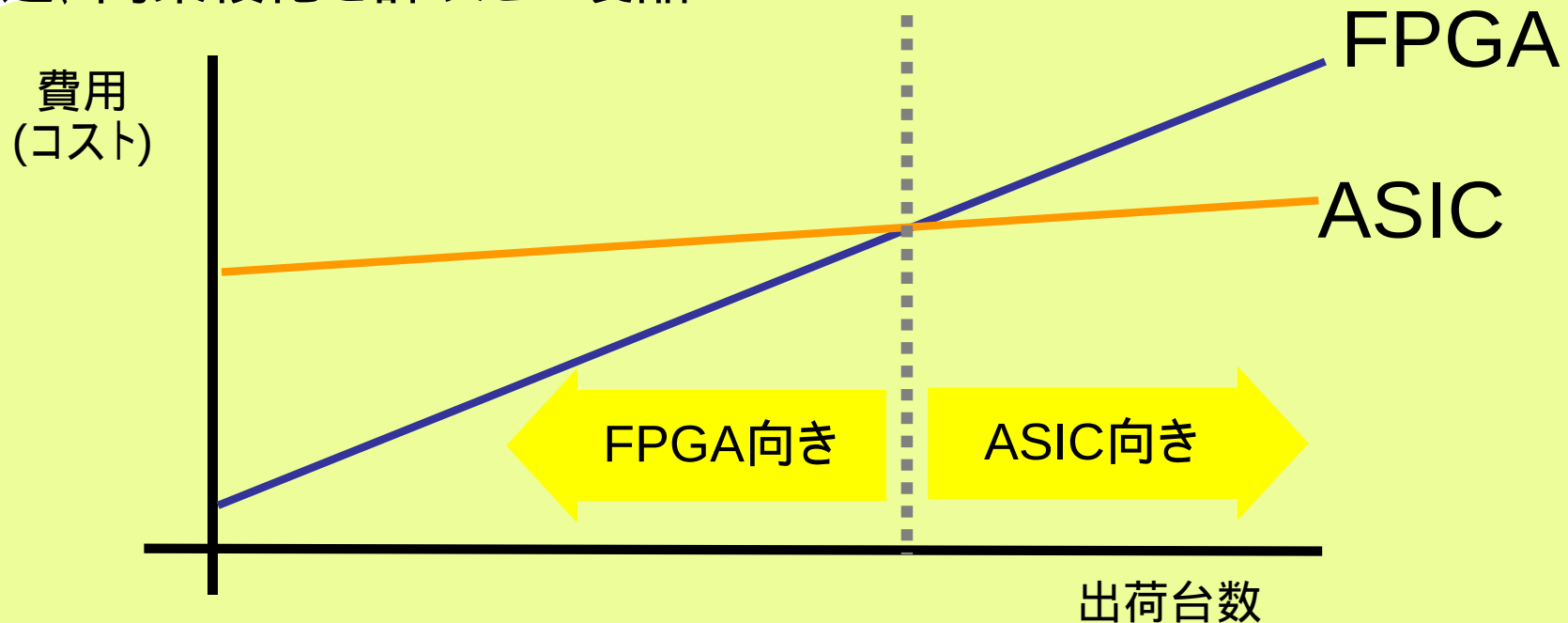
FPGAとASICの用途比較

- FPGA

- ・出荷数が多くなく、製品のライフが短い装置
- ・ASIC開発時のエミュレーション
- ・マルチファンクション アプリケーション

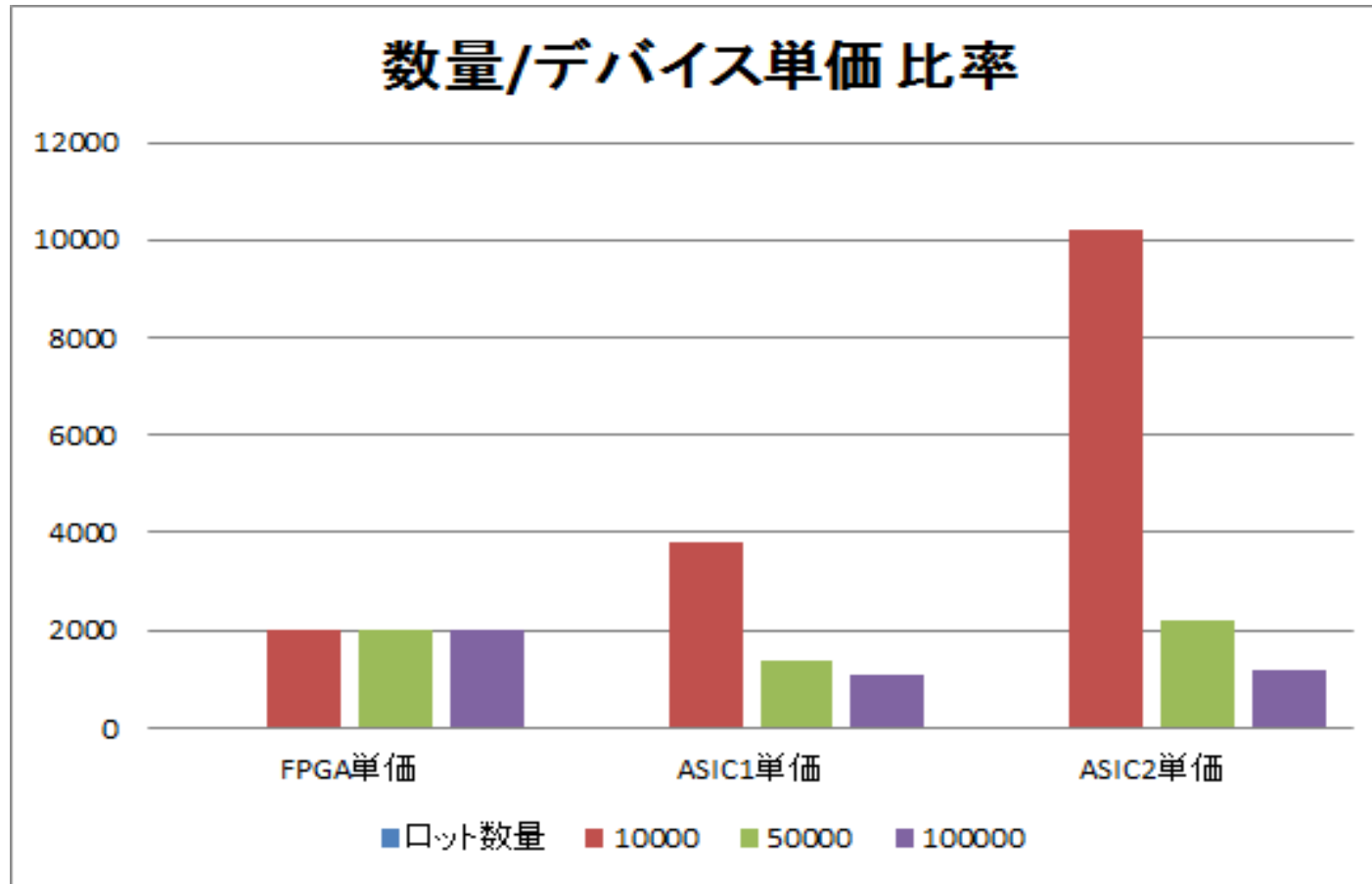
- ASIC

- ・出荷数が多く、製品単価を低く抑えたい製品
- ・高速、高集積化を計りたい製品



ASIC/FPGAコスト比較

デバイス単価(¥)



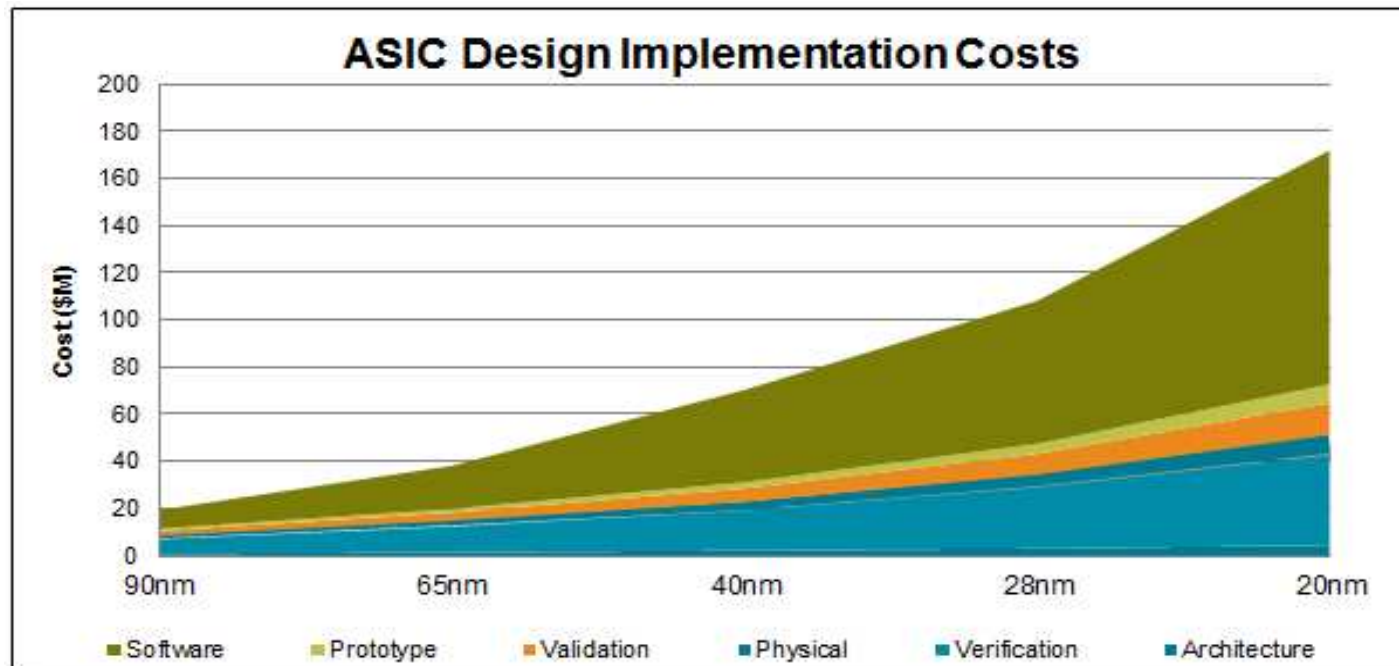
➤ 生涯数量などの条件に応じて、コストメリットが変動

➤ 開発・生産に伴うシステムコストは左図は考慮せず

— ASIC開発に伴うシステムコストは年々増大傾向

FPGA単価: ¥ 2,000,
ASIC1単価: ¥ 800、NRE: ¥ 3000万
ASIC2単価: ¥ 200、NRE: ¥ 1億 と仮定

ASIC デザインコストとリスクは急激に増加

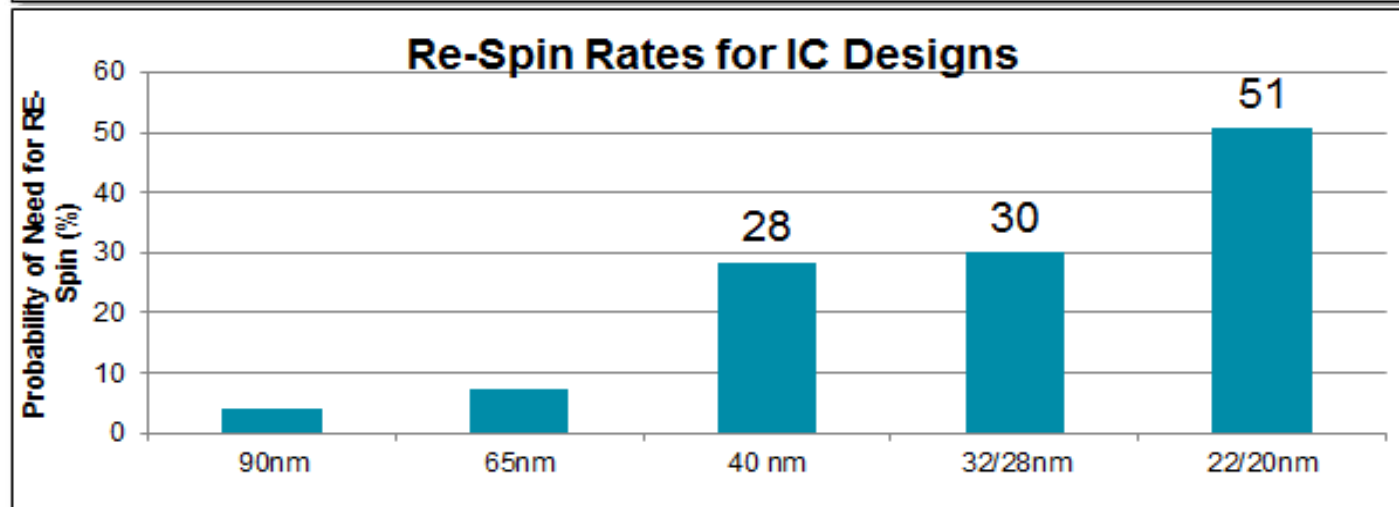


➤ 開発コストの増加

- 40nmから28nm以降のプロセスへのASICデザインコストは急激に増加

➤ 高まるリワークのリスク

- 40nm以降で高まるリワーク率



Source: IC Design Implementation Market Outlook: 2010 (8/3/10, Handel Jones)

機能比較

アーキテクチャ

CPLD

プログラマブルAND + OR + FFによるPAL構造を基本とする

FPGA

基本論理機能を持つロジックセルを基本とする

メモリ方式

内部の不揮発性メモリに保存

内部の揮発性メモリに保存するためデバイスの外での保存方法を考える必要がある

回路規模

小規模

大規模

消費電力

一般に回路規模が小さく単純なアーキテクチャのため低消費電力

一般に回路規模が大きくメモリを搭載しているなど、CPLDに比べ消費電力は大きい