




本社：〒160-8366  
東京都新宿区西新宿 6 丁目 24 番 1 号  
西新宿三井ビルディング

報告書番号：PCN#20120530003  
2012 年 6 月 5 日

お客様各位

日本テキサス・インスツルメンツ株式会社  
営業・技術本部 カスタマドキュメント  
マネージャ 牧 達郎 

ASP Shannon 製品 チップ一部改定のご案内

拝啓 貴社益々ご清栄の事とお喜び申し上げます。平素は弊社製品のご愛顧を賜り、厚く御礼申し上げます。さて、標題の件につきましてご連絡させていただきます。ご査収の程、宜しく願い申し上げます。

今回のお知らせは、変更実施について通知のみを目的としたものになります。変更の詳細は、次頁以降をご参照下さい。

本通知期間は、弊社品質標準に基づいております。本変更に対するお客様個別のご要求に関しましては、個別契約にて承ります。弊社と合意済みの個別要求につきましては、別途対応させていただきます。担当営業にご確認下さい。

本通知は、通知日前 24 ヶ月以内に本変更対象製品をご購入いただいたお客様に連絡させていただいております。

尚、変更時期につきましては、在庫状況により異なりますので、担当営業にお問い合わせ下さい。また、ご不明な点、ご質問等がございましたら、担当営業或いは [pcn\\_tij@list.ti.com](mailto:pcn_tij@list.ti.com) にお問い合わせ下さい。

以上

変更概要

通知タイプ	<input type="checkbox"/> Initial notice (Plan)	<input checked="" type="checkbox"/> Final notice		
変更概要	<input checked="" type="checkbox"/> Design/Specification	<input checked="" type="checkbox"/> Design	<input type="checkbox"/> Electrical	<input type="checkbox"/> Mechanical
	Wafer Fab	<input type="checkbox"/> Site	<input type="checkbox"/> Process	<input type="checkbox"/> Material
	Wafer Bump	<input type="checkbox"/> Site	<input type="checkbox"/> Process	<input type="checkbox"/> Material
	Assembly	<input type="checkbox"/> Site	<input type="checkbox"/> Process	<input type="checkbox"/> Material
	Test	<input type="checkbox"/> Site	<input type="checkbox"/> Process	
	Others	<input type="checkbox"/> Packing/Shipping/Labeling		<input type="checkbox"/> -
変更内容	ASP Shannon製品 チップ一部改定 現行： Revision 1.0 変更後：Revision 2.0			
対象製品	対象製品リスト参照			
変更時期	6月中旬の出荷より予定しています。 (サンプルは6月中旬の出荷より予定しています。)			
品質認定試験	<input type="checkbox"/> 計画	<input checked="" type="checkbox"/> 終了		
製品表示	<input type="checkbox"/> 変更無し	<input checked="" type="checkbox"/> 変更あり		
備考	-			

変更内容

内容：今回のお知らせは、通知のみを目的としたものになります。  
弊社弊社 ASP(アプリケーションスペシフィックプロダクト) Shannon製品について、Revision 1.0 ERRATA対処の為に、チップレビジョンを現行 Rev 1.0からRev 2.0にチップを一部改定します。尚、今回の変更で、製品についての互換性(寸法/公差), 外観, 品質, 信頼性への影響はありません。

変更内容	現行	変更後
チップレビジョン	Revision 1.0	Revision 2.0

理由：Revision 1.0 ERRATA 対処の為

詳細：Rev 1.0 製品をお使いのお客様におかれましては、Rev 2.0 製品への移行をお願いいたします。

対象製品リスト

対象製品名 - Revision 1.0

TMS320C6678CYP	TMS320C6678XCYP	TMX320C6672CYP	TMX320C6678CYP	TMX320TCI6608CYP
TMS320C6678CYP25	TMS320TCI6608CYP	TMX320C6672CYP5	TMX320C6678CYP25	
TMS320C6678CYP A	TMS320TCI6608CYP A	TMX320C6674CYP	TMX320C6678CYP A	

変更後製品リスト

変更後製品名 - Revision 2.0

TMS320C6671ACYP	TMS320C6678ACYP	TMS320TCI6608ACYP	TMX320C6674ACYP	TMX32TCI6604ACYP25
TMS320C6671ACYP A	TMS320C6678ACYP25	TMS320TCI6608ACYP A	TMX320C6678ACYP	
TMS320C6672ACYP	TMS320C6678ACYP A	TMS320TCI6608ACYP	TMX320TCI6608ACYP	
TMS320C6672ACYP A	TMS320C6678AGYP A	TMX320C6672ACYP	TMX32C6678ACYP25	
TMS320C6674ACYP A	TMS320C6678ACYP	TMX320C6672ACYP25	TMX32TCI6602ACYP25	

製品表示

この変更に伴い、製品捺印上のチップレビジョンが“10”から“20”に変更されます。変更後製品型名には、“A”が追加されます。

信頼性試験

信頼性試験結果

信頼性試験期間	開始	—	終了	2012年4月23日	
信頼性試験 - 試料構成詳細					
Qual Device:	TMS320C6678x Shannon Rev2.0 Note(1)				
Wafer Fab Site:	TMSC-12	Fab Process:		C014.P(40 nm)	
Metal Levels:	9LM-Cu				
AT/Bump Site:	Amkor-K4	Package/Code/Pins:		Flip-Chip BGA/CYP/841	
Thermal Enhancement:	Heat Spreader	Underfill:		NAU-27	
Bump:	Pb-free SOP	Bump Pitch(mm):		0.170	
Solder Ball:	SAC305(Sn/Ag3%/Cu0.5%)	Ball Pitch(mm):		0.80	
Substrate:	Organic Substrate	Substrate Finish:		Pb-free SOP	
MSL:	JEDEC L-4/245C				
信頼性試験結果					
Reliability Test	Condition / Duration	Sample Size/Fails			Note
		Lot#1	Lot#2	Lot#3	
**Temp Cycle	-40/125C	231/0			(4)
	-55/125C	78/0			(2)
**THB	-85C/85%RH, Vdd max	77/0			(4)
**Unbiased Hast	130C/85%RH	78/0			(2)
	110C/85%RH	222/0			(4)
**Storage Bake	150C	234/0			(4)
ESD HBM	+/-1000V	5/0	-	-	(3)
ESD CDM	+/-250V, All Pins but SerDes TX	5/0	-	-	(3)
	-150V, SerDes TX Pins	5/0	-	-	(3)(6)
Latch up	100mA, 90C, 1.5Vmax	6/0	-	-	(3)
	200mA, 25C, 1.5Vmax	6/0	-	-	(3)
HTOL	125C Tj, 1000hrs	360/0			(4)
	125C Tj, 1000hrs	129/0			(2)
	125C Tj, 600hrs	110/0			(3)
BLR	0/1000C, 3500cyc (Virgin Units)	32/0	-	-	(5)
	0/1000C, 3500cyc (Rework Units)	12/0	-	-	(5)
Notes:					
** Moisture preconditioning, JEDEC L4/245C					
(1) The TMS320C6678x is one of 3 Keystone family SOCs which share the same architecture, silicon features, package, package drawing, and pin count.					
a. There are slight differences among them in die size and silicon functionality.					
b. All 3 die have same package footprint, same # of package pins, and same package drawing.					
- Qualification data utilized all 3 devices for this report (TMS320C6678x).					
- Relative to Shannon Rev1.0, Shannon Rev2.0 includes minor logic updates and bug fixes.					
(2) TMS320C6678x-Rev1 qual data has been utilized.					
(3) TMS320C6678x-Rev2 qual data has been utilized.					
(4) TMS320TCI6616 qual data has been utilized.					
(5) TMS320TCI6618x Daisy Chain qual data has been utilized.					
(6) Due to the sensitive nature of the high-speed SerDes transmit (TX) pins, these 24 pins pass CDM to -150V on the negative polarity. See the silicon errata for additional details: <a href="http://www.ti.com/product/tms320c6678">http://www.ti.com/product/tms320c6678</a>					